



KARADENİZ TEKNİK ÜNİVERSİTESİ
MÜHENDİSLİK FAKÜLTESİ
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ



BIL 2003 ELEKTRONİK LABORATUVARI

Ders Sorumluları

Doç. Dr. Tuğrul ÇAVDAR

Yrd. Doç. Dr. Selen AYAS

2019 – 2020 Güz Dönemi

İÇİNDEKİLER

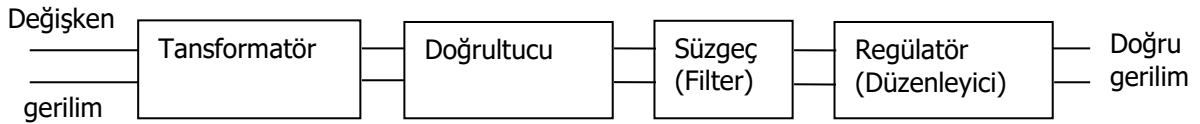
	Sayfa No
1 Doğrultucular	03
2 Kırpma ve Kenetleme Devreleri	11
3 Transistörün Anahtar Davranışları	18
4 İşlemsel Yükselteçler	30
5 Schmitt Tetikleme Devresi	38
6 Lojik Kapılar	47
7 İkili Çarpma	57
8 Türev ve İntegral Alıcı Devreler	62
9 Salıngaçlar	68



DOĞRULTUCULAR

1. Giriş

Günümüzde bilgisayarlar başta olmak üzere birçok elektronik cihazı doğru akımla çalıştığı bilinen bir gerçektir. Pil ve akümülatör gibi doğru akım kaynakları hem pahalıdır hem de uzun ömürlü değildirler. Bu durumda dış dünyada rahatça bulunabilen değişken (alternetive) akımın bu tür cihazlarda kullanılabilmesi için önce doğru akıma çevrilmesi, daha sonra cihaza uygulanması gerekmektedir. Bu çevirme işlemi için aşağıdaki düzenek kullanılabilir. Böyle bir düzeneğe güç kaynağı (Power Supply) denir.



Şekil 1. Güç kaynağı düzeneği

Değişken gerilim transformatörle istenilen seviyeye dönüştürüldükten sonra doğrultucu devre ile doğrultulur. Süzgeç ise bu doğrultulmuş işarettaki dalgalılığını azaltır. Çoğu zaman kararlılığı ve düzenliliği (Regulation) düzeltmek ve çıkış gerilimindeki dalgalılığını çok daha iyileştirmek için düzenleyici katı kullanılır. Düzenlilik aşağıdaki gibi ifade edilebilir,

$$\text{Düzenlilik} = \frac{V_{\text{çıkış(yük yokken)}} - V_{\text{çıkış(yük varken)}}}{V_{\text{çıkış(yük varken)}}$$

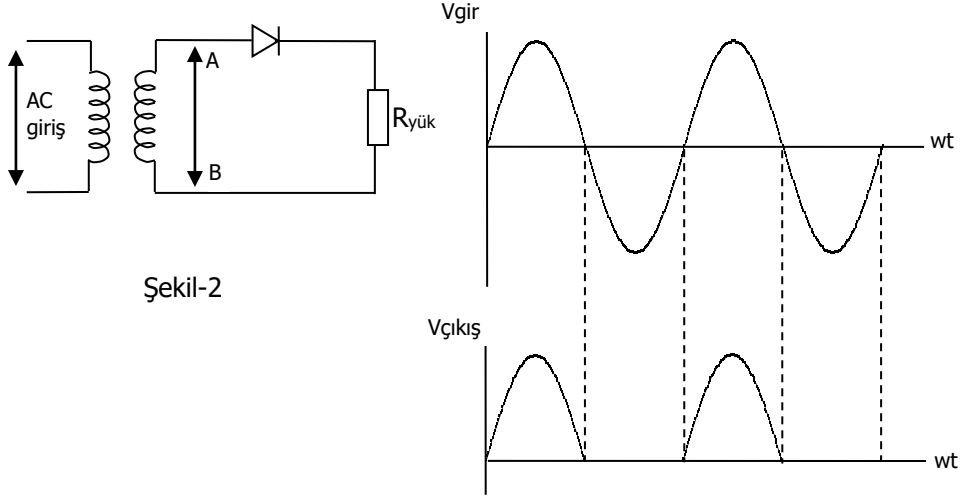
Doğrultma, ortalama değeri sıfır olan işarettan ortalama değeri sıfırdan farklı bir işaret elde etmek şeklinde tanımlanır.

Doğrultucular tüp, yarıiletken diyotlar veya tristörler kullanılarak gerçekleştirilebilir. Bugün için tüplü doğrultucular yapmak söz konusu değildir. Bu deneyde yarıiletken diyotlar kullanılarak yapılan doğrultma devreleri incelenecektir.

Doğrultucular yarım dalga ve tam dalga doğrultucular olmak üzere ikiye ayrılır. Doğrultucuda kullanılacak olan diyottan akan akımın tepe değerinin, müsaade edilen en yüksek değeri (IFM) aşmamasına ve diyotun uçlarına tıkama yönünde gelen gerilimin ani değerinin diyotun ters tepe geriliminden (VRM) büyük olmamasına dikkat edilmelidir.

2. Yarım Dalg Doğrultucular

Yarım dalg doğrultucu devresi Şekil 2'de verilmiştir. Devredeki transformatör şebeke gerilimini istenilen değere düşürmek için kullanılmıştır. Ryük yerine doğrultucunun beslediği herhangi bir devre olabilir. Burada devrenin çalışmasını daha rahat anlamak için basit bir direnç kullanılmıştır. Devredeki diyotun ideal olduğunu düşünürsek devre iyice basitleşir. Pozitif alternansta A ucu B ucuna göre daha pozitif olduğundan diyot iletim yönünde kutuplanır ve $V_{giriş}=V_{yük}$ olur. Negatif alternansta ise diyot tıkamaya girer ve açık bir anahtar gibi davranır; bu durumda $V_{yük}=0$ olur.



Şekil-2

Şekil 2. Yarım dalg doğrultucu

Şekilde ayrıca giriş ve çıkış gerilimlerine ilişkin dalgı şekilleri verilmiştir. Görüldüğü gibi çıkış gerilimi zamanla değışmekle beraber devamlı pozitifdir, yani doğrultulmuştur. Böyle bir doğrultucu sınırlı uygulama yeri bulur. Çünkü çıkış gerilimi doğrultulmuş olmasına mukabil en yüksek ve en düşük değerleri arasındaki değeri fazla ve bazen de sıfır olabilmektedir. Bundan dolayı ilerde bu devre iyileştirilmeye çalışılacaktır. Bu devre için:

$$V_{giriş} = V_m \sin \omega t \quad V_{yük} = \begin{cases} V_{giriş} & 0 < \omega t < \pi \\ 0 & \pi < \omega t < 2\pi \end{cases} \quad I_{yük} = \begin{cases} I_{yükm} & 0 < \omega t < \pi \\ 0 & \pi < \omega t < 2\pi \end{cases}$$

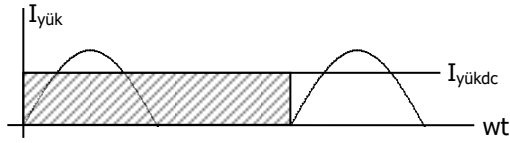
yazılabilir. Şayet transformatörü ve diyotu ideal düşünmezsek, trafo sekonderinin sargı direnci R_t , diyotun geçirme yönü direnci R_f ise,

$$I_{yükm} = \frac{V_m}{R_f + R_t + R_{yük}}$$

olur. Yük akımının ortalama değeri veya diğeri bir deyişle yük akımının doğru bileşeni:

$$I_{yükdc} = \frac{1}{2\pi} \int_0^{2\pi} I_{yük} d(\omega t) = \frac{1}{2\pi} \int_0^{\pi} I_{yükm} \sin(\omega t) d(\omega t) = \frac{I_{yükm}}{\pi}$$

I_{yükdc}'nin tanımı göz önüne alınır, Şekil 3'teki taralı alanın bir alternansının altında kalan alana eşit olduğu anlaşılır.



Şekil 3. Tam dalga doğrultucu

Yük akımının etkin (effective) değeri hesaplanırsa,

$$I_{\text{yüketkin}} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} I_{\text{yükm}}^2 \sin^2(\omega t) d(\omega t)}$$

bulunur. Yarım dalga doğrultucunun çıkış geriliminin doğrultulmuş olmasına mukabil çok dalgalı olduğu görülür. Gerilim bazen en yüksek (maksimum) bazen de sıfır olmaktadır. Tabiatıyla doğru gerilim kaynağında bu şekilde dalgalanma istenmez. İleride bazı düzenlemelerle bu dalgalanmayı azaltma yoluna gidilecektir. Yalnız bu dalgalanmaya bir ölçüt olmak üzere d dalgalılık katsayısı denilen bir katsayı tanımlanır:

$$d = \frac{\text{Çıkıştaki alternatif bileşenlerin etkin değeri}}{\text{Çıkıştaki d.c. bileşen}}$$

Çıkışta bağlanan yükün omik olması halinde;

$$d = \frac{I'_{\text{yüketkin}}}{I_{\text{yükdc}}} = \frac{V'_{\text{çıkışetkin}}}{V_{\text{çıkışdc}}}$$

yazılabilir. Şimdi yarım dalga doğrultucu için d'yi hesaplayalım. Çıkış akımının değişken bileşeni:

$$I'_{\text{yük}} = I_{\text{yük}} - I_{\text{yükdc}}$$

I_{yüketkin}'i yukardaki eşitliği kullanarak hesaplarsak:

$$I'_{\text{yüketkin}} = \sqrt{I_{\text{yüketkin}}^2 - I_{\text{yükdc}}^2}$$

elde edilir. Öyleyse dalgalılık katsayısı:

$$d = I'_{\text{yüketkin}} / I_{\text{yükdc}} = \sqrt{(I_{\text{yüketkin}} / I_{\text{yükdc}})^2 - 1}$$

Elde edilen d'nin dalga şekline ve doğrultucu tipine bağlı olmadığına dikkat ediniz. Sinüs girişli yarım dalga doğrultucu için son ifadede

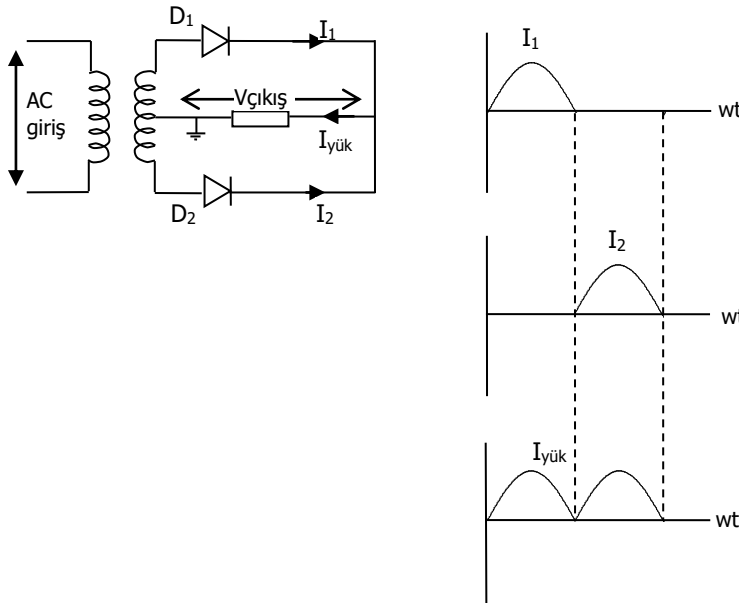
$$I_{yüketkin} = \frac{I_{yükkm}}{2} \text{ ve } I_{yükdc} = \frac{I_{yükkm}}{\pi} \text{ koyarsak,}$$

$$d = \sqrt{(\pi/2)^2 - 1} = 1.21$$

Yarım dalga doğrultucuda çıkıştaki değişken bileşenlerin etkin değeri dc bileşenden daha büyüktür. Bu sebeple az sonra ele alınacak devrelere göre yarım dalga doğrultucu kötü bir doğrultma devresidir.

3. Tam Dalga Doğrultucular

Yarım dalga doğrultucuda negatif alternanslar tamamen atılıyordu. Şekil 4'te verilen tam dalga doğrultucuda ise negatif alternanslar da doğrultulmaktadır.



Şekil 4. Tam dalga doğrultucu

Görüldüğü gibi devrede iki tane diyot kullanılmıştır. Gidiş işaretlerinin pozitif alternanslarında D1 diyotu iletimde ve D2 kesimde, negatif alternanslarda D1 tıkalı ve D2 kesimdedir. Trafonun ikincil (secondary) sargısının orta ucu şekilde görüldüğü gibi topraklanmıştır.

Bu doğrultucu için $I_{yük}$ 'ün ortalama değerini hesaplarken ikinci yarı periyottaki pozitif alternans da hesaba katılacaktır. Bu durumda ortalama değer ve etkin değer formülleri kullanılarak,

$$I_{yükdc} = \frac{2I_{yükkm}}{\pi} \quad I_{yüketkin} = \frac{I_{yükkm}}{\sqrt{2}}$$

ve dalgalılık katsayısının ifadesinde yukarıdaki eşitlikleri yerine koyduğumuzda $d=0.483$ çıkar.

Görülüyor ki tam dalga doğrultucuda dalgalılık katsayısı yarım dalga doğrultucudaki dalgalılık katsayısına göre mühim ölçüde azalmıştır.

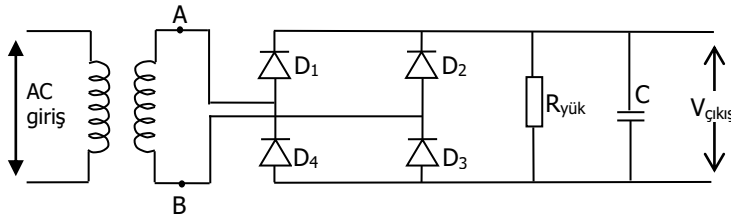
Bu devrede trafonun özel sarılmış olması gerekmektedir. Çünkü transformatörün orta ucu vardır. Şekil 4'teki devre yerine orta uçlu trafo gerektirmeyen, buna mukabil iki diyot fazla kullanan bir başka devre vardır.

Şekil 5'te verilen devre de tam dalga doğrultucu devredir. Greatz montajı diye isimlendirilir. Bu devrede A, B ucuna göre pozitifken D1, D3; B ucu A ucuna göre pozitifken D2, D4 diyotları iletimdedir. Çıkış akımı dalga şekli biraz düşünüldüğünde anlaşılacağı gibi Şekil 4'teki devrenin çıkış akımı dalga şeklinin aynısıdır. Öyleyse Şekil 4'teki devre için hesaplanan bütün büyüklükler Greatz doğrultucu devresi için de geçerlidir.

Dalgalılık katsayısı 0.482 olan doğrultucu devreleri dc besleme isteyen pek çok cihaz için kabul edilebilir olmaktan uzaktır. Dalgalılık katsayısını küçültmek istediğimizde yapacağımız iş süzgeçler kullanmaktır. Süzgeçte şu şekilde bir matematiksel yaklaşım izleyebiliriz:

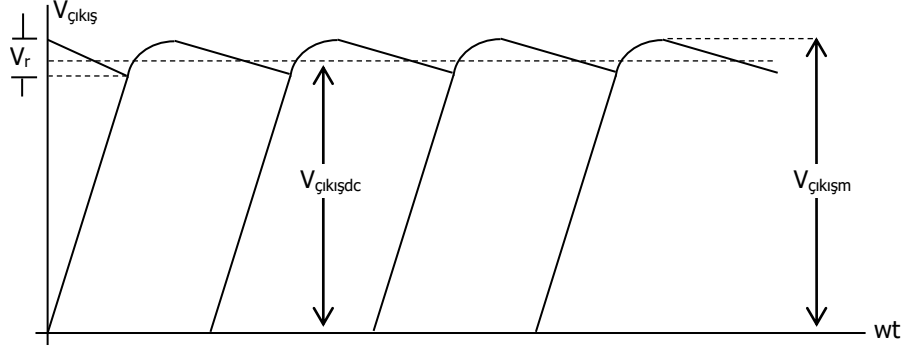
Dalgalılık katsayısının küçültülmesi için çıkıştaki değişken bileşenleri azaltmaktan başka yol yoktur. Değişken bileşenleri azaltmanın bir yolu bunları yükten değil de başka bir yoldan akıtmaktır. Bu, en basit olarak bir kondansatör kullanarak yapılabilir. Şekil 5'teki Ryük'e paralel bağlanan kondansatör bu işlevi yerine getirir. Şimdi bu devre için dalgalılık katsayısının ne olacağını araştıralım.

Kondansatörün tanım denklemi göz önüne alınırsa dc bileşenin buradan geçmeyeceği anlaşılır. Fakat çıkışın değişken bileşenleri için $1/\omega C$ reaktansını gösterir. ω ve C büyüdükçe bu reaktansın küçüleceği aşikardır. C'yi sonsuz alırsak dalgalılık katsayısının sıfır olacağı açıktır. Tabii bu ideal durumu uygulamada gerçekleştirmek mümkün değildir.



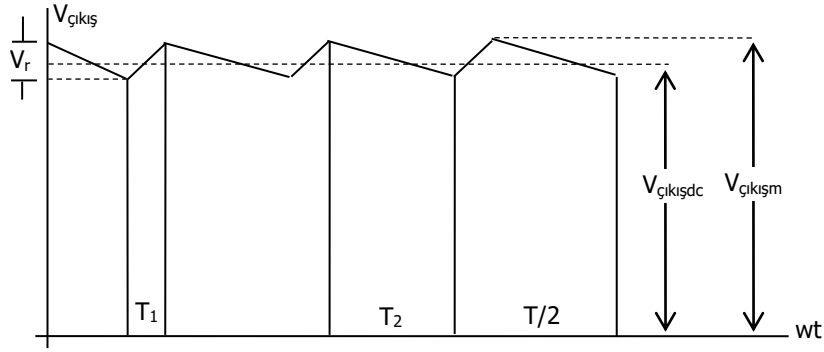
Şekil 5. Greatz montajı

Şekil 6'da bu doğrultucunun çıkış gerilimi çizilmiştir. Çıkışta gerilim $V_{\text{çıkış}}$ 'ın en yüksek değerini aldığı anda yüke paralel bağlanmış olan kondansatör de bu gerilimle dolar. Sonra gerilim azalırken $V_{\text{çıkış}}$ ile dolmuş olan C, Ryük üzerinden boşalmaya başlar. Bu boşalmanın zaman sabiti C.Ryük'tür. Bu zaman sabiti ile kondansatör boşalmaya devam ederken çıkıştaki gerilimin yeniden yükselmesiyle kondansatör yeniden dolar ve olay sürüp gider. Dolayısıyla çıkışta görülen gerilim V_0 ile işaretlenmiş olan gerilimdir. Artık gerilim hiçbir zaman sıfır olmamaktadır ve dalgalanmanın çok azaldığı görülmektedir. Biraz düşünmekle anlaşılacağı gibi C'nin büyük olduğu oranda V_r gerilimi küçülür.



Şekil 6. Greatz montajı ıkıř gerilimi

Yukarıdaki dalga řekli iin dalgalılık katsayısının hesaplanması gtr. Hesapları basitleřtirmek iin Şekil 6'daki dalga řeklini Şekil 7'de verildiđi gibi yaklařık olarak ele alalım.



Şekil 7. Greatz montajı dzenlenmiř ıkıř gerilimi

Şekil 7'den,

$$V_{ıkıřdc} = V_{ıkıřm} - \frac{V_r}{2}$$

VO alternatif geriliminin efektif deđeri hesaplanırsa (gen dalga olduđu gz nne alınarak)

$$V_{Oeff} = \frac{V_r}{2\sqrt{3}}$$

bulunur. $T_1 \ll T_2$ olduđunu kabul ederek

$$T_2 = \frac{T}{2} = \frac{1}{2f}$$

alalım. Burada f , giriře uygulanan iřaretin frekansıdır. T_2 aralıđında bořalmakta olan kondansatr iin $Q=C.V$; $dQ = idt$ bađıntılarını kullanarak

$$V_r = \frac{I_{yükdc} \cdot T_2}{C} = \frac{I_{yükdc}}{2fC}$$

Yazabiliriz. O halde dalgalılık katsayısı,

$$d = \frac{V_{Oeff}}{V_{yükdc}} = \frac{I_{yükdc}}{4\sqrt{3} \cdot f \cdot C \cdot V_{yükdc}} = \frac{1}{4\sqrt{3} \cdot f \cdot C \cdot R_{yük}}$$

olarak bulunur.

$$V_{yükdc} = V_{çıkışm} - \frac{I_{yükdc}}{4 \cdot f \cdot C}$$

olduğuna dikkat ediniz. Kondansatör filtre en çok kullanılan filtre şeklidir. Bununla birlikte daha karmaşık pek çok filtre çeşidi vardır. Konuyu fazla genişletmemek için bunlara değinmiyoruz.

4. Deney Hazırlığı

1. Alternatif ve doğru akım nedir?
2. Doğrultma işlemi nedir ve ne tür özellikteki elemanlarla gerçekleştirilebilir?
3. Yarım dalga doğrultucu, tam dalga doğrultucu ve köprü diyotlu doğrultucu devrelerini inceleyiniz.
4. Doğrultma devrelerinin birbirlerine göre avantaj ve dezavantajlarını açıklayınız.
5. Bir doğrultma devresinin çıkışındaki kondansatör ne amaçla kullanılmaktadır, araştırınız.
6. Dalgalılık katsayısı ile kondansatörün sığası arasındaki ilişkiyi açıklayınız.

5. Deney Tasarımı ve Uygulaması

1. Verilen trafoyu kullanarak tek yollu bir doğrultucu devresi kurunuz (Şekil 2). Ryük yük direnci $10k\Omega$ 'dur. Çıkışı ve girişi çift kanallı bir osiloskoptan yararlanarak inceleyiniz.
2. Şekil-4'de verilen çift yollu doğrultucu devresini kurunuz. Ryük= $10k\Omega$ 'dur. Giriş ve çıkış dalga şekillerini çiziniz.
Uyarı: 3., 4. ve 5. deneylerde girişi ve çıkışı çift kanallı osiloskopta aynı anda gözlemeyin.
3. Şekil 5'deki Greatz montajını kurunuz. Ryük= $10k\Omega$ olarak giriş ve çıkış dalga şekillerini çiziniz.
4. Ryük= $10k\Omega$, C= $10\mu F$ olarak Şekil 5'deki devreyi kurunuz. Giriş ve çıkış dalga şekillerini ölçekli olarak çiziniz. Sonra Ryük= $1k\Omega$ olarak dalga şekillerini yeniden çiziniz.
5. Ryük= $1k\Omega$ iken C= $200\mu F$ olarak giriş ve çıkış dalga şekillerini çiziniz. Dalgalanma gerilimini ölçünüz.

6. Deney Soruları

1. Deney 3, 4, 5 için dalgalılık katsayısını deney sonuçlarından yararlanarak hesaplayınız. Aynı katsayıları teorik olarak hesaplayıp deney sonuçları ile karşılaştırınız.
2. Transformatörlerin sekonder sargı dirençlerinin ve diyotların geçirme yönünde üzerlerine düşen gerilim düşümlerinin gözönüne alınması $V_{yükdc}$ gerilimini ve d katsayısını nasıl etkiler?
3. $V_{yükdc}=15V$ olan bir doğrultucu yapılmak isteniyor. Çıkışta izin verilen maksimum dalgalanma tepeden tepeye $50 mV$ 'dur. Yük direnci 100Ω 'dur. Şebeke gerilimi $220V$, frekansı $50Hz$ olduğuna göre C 'nin değerini hesaplayınız.

7. Deney Raporu

1. Konu ile ilgili vurgulanan önemli noktaları ve yorumları föyden bağımsız olarak kısaca açıklayınız.
2. Deneyin uygulama aşamasında osiloskopta gözlemlediğiniz çıkış işaretlerini ilgili devreleri de belirterek çiziniz.
3. Deneyde yaptığımız doğrultucular, şebeke gerilimi ve yük akımı değişimlerinde verimli çalışabilir mi? Nedenleriyle açıklayınız.
4. Deney esnasında sorulan soruları ve cevaplarınızı belirtiniz.



KIRPMA VE KENETLEME DEVRELERİ

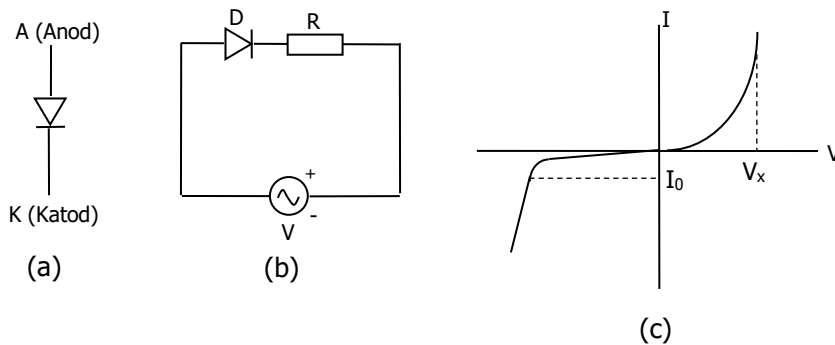
1. Giriş

Elektronik devrelerde belirli bir işaretten farklı bir işaret elde edebilmek için bu işaretin genliğinde bir takım değişiklikler yapılmaktadır. Bu değişikliklerden en temel olanı işaretin kırılması ve belirli bir genliğe kenetlenmesidir. Deneyde bu devrelerin gerçekleştirilmesi yapılacak ve sonuçlar teorik bilgilerle kıyaslanacaktır. Burada amaç, deneye katılanların bir kenetleme devresinin neden-nasıl çalışacağını anlayabilmesinin yanında istenilen bir işareti elde etmek için nasıl bir kırma-kenetleme devresi kurması gerektiğini de öğrenmesidir.

2. Kırma Devreleri

Herhangi bir işaretin belirli bir gerilim seviyesinin üstünde veya altında kalan kısmını geçirmeyen devrelere kırma devreleri denir. Böyle olabileceği gibi herhangi iki referans seviyesi arasında kalan işaret kısmının geçirilmesi de arzu edilebilir. Bu tür devrelere kırma devreleri isminden başka “kırıcı devre”, “sınırlayıcı”, “dilimleyici” ve “genlik seçici” gibi isimler de verilir.

Bu şekilde tanımlanan kırma devreleri diyot ve dirençlerle gerçekleştirilebileceği gibi, transistör gibi aktif elemanlar kullanılarak da gerçekleştirilebilir. Fakat, anlaşılabilirliği, tasarımları ve analizleri bakımından en kolay devreler diyot ve direnç kullanılarak yapılanlardır. Önce diyot, diyot karakteristikleri ve lineerleştirilmiş diyot karakteristikleri üzerinde duralım.



Şekil 1. (a) Diyotların temsili (b) Basit bir diyotlu devre (c) Diyot karakteristiği.

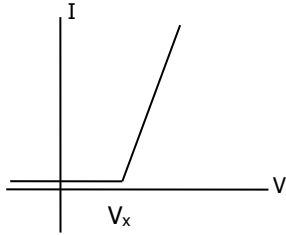
Diyotlar iki elektrotlu elemanlardır. Şekil-1’de bir diyot devresi gösterilmiştir. Devrede diyot, anodu katoduna göre pozitif olacak şekilde, yani “iletim yönünde” kutuplanmaktadır.

Bu durumda diyot akım geçirir. İletim yönündeki diyot karakteristiği Şekil-1.c'de gösterilmiştir. Şekil-1.b'de alternans değiştiğinde diyot tıkama yönünde kutuplanmış olur ve diyottan çok küçük bir akım akar (Bu akım genellikle ihmal edilebilir ve Şekil-1.c'de I_0 ile gösterilmiştir).

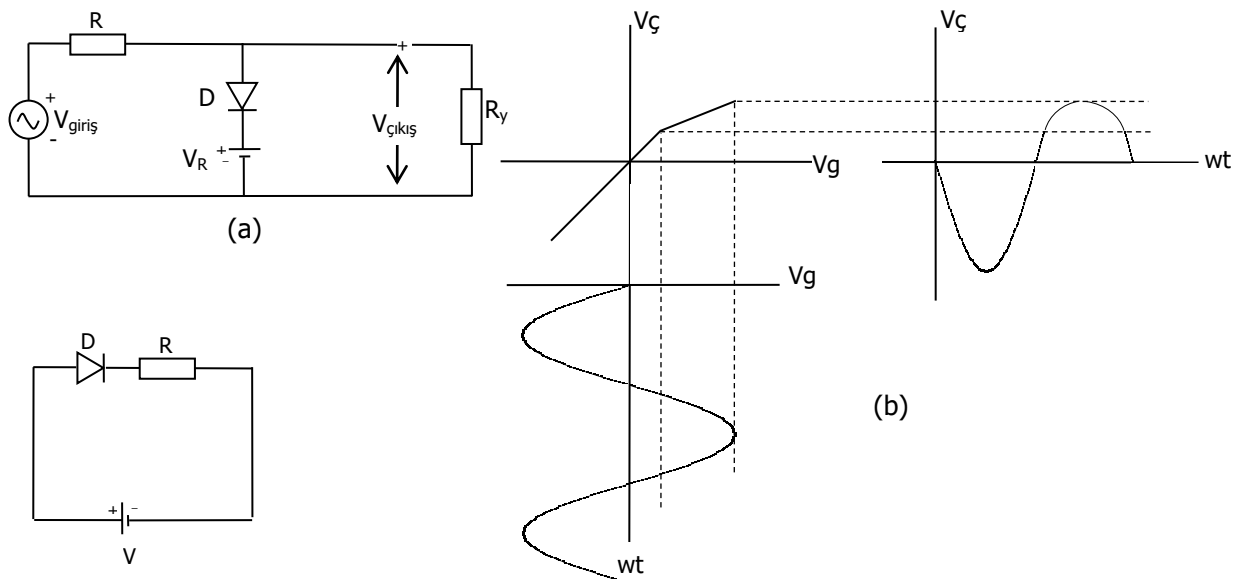
Biz incelemelerimizde tıkama yönündeki akımı ihmal edeceğiz. Demek ki diyot tıkama yönünde kutuplandığında sonsuz direnç gösteriyormuş gibi diyodun akım-gerilim karakteristiği doğrusal değildir. Yarı iletken diyotlar için diyodun uçlarındaki gerilim ile içinden geçen akım arasında aşağıdaki bağıntı vardır.

$$I=I_0(\exp(V/\eta V_T)-1)$$

Konumuzun dışında olduğu için bağıntı üzerinde ayrıntılı bir şekilde durulmayacaktır. Burada önemli olan gerilim ile akım arasındaki bağıntının doğrusal olmadığıdır. Fakat gerilimin V_x değerinden sonra akımın hızla yükseldiğini göz önüne alarak bu gerilimden sonra karakteristiğin lineer olduğunu kabul edebiliriz. Gerilimin bu değerine kadar diyot içinden akan akımlar da çok küçük olduğundan ihmal edilebilir. Bu kabule göre Şekil-1'deki diyot karakteristiği Şekil-2'deki gibi, yani "parça parça lineer ve sürekli" çizilebilir. Bu karakteriste eğimin süresiz olduğu bir nokta vardır (V_x noktası). İşte bu nokta kırılma noktası olarak isimlendirilir. Diyotlar için bu modeli kullanmak kırpıcı devrelerin analizini ve anlaşılmasını kolaylaştıracaktır. Şekil-2'de V_x 'den sonra doğrunun eğimini $dv/di=R_f$ olarak tanımlayalım. Dikkat edilirse eğimin iletim yönünde kutuplanmış diyodun iletkenliği olduğu görülür (ideal diyot için bu iletkenlik sonsuz olacaktır). Şekil-3.a'da diyotlu bir kırpıcı devresi gösterilmiştir. Kırpıcı devrelerde giriş gerilimi ile çıkış gerilimi arasındaki bağıntıyı veren eğriye geçiş karakteristiği denir. Şekil-3.b'de Şekil-3.a'daki kırpıcı devre için geçiş karakteristiği verilmiştir. Şimdi bu geçiş karakteristiğinin nasıl çizildiğini görelim.

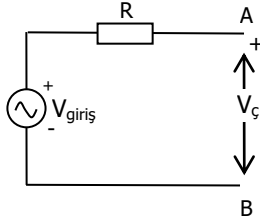


Şekil 2. Doğrusallaştırılmış diyot karakteristiği.



Şekil 3. (a) Paralel kırpma devresi (b) Diyot karakteristiği ile giriş-çıkış ilişkisi.

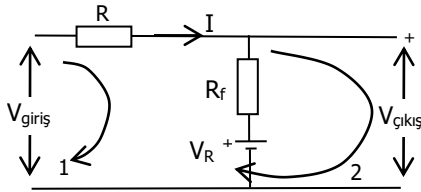
Kırpıcı devrenin girişindeki gerilimin yavaş yavaş artmakta olduğunu düşünelim. Bu gerilim (-) veya (+), fakat V_R+V_x 'den küçük oldukça diyodun katodu anoduna göre daha pozitif olduğundan diyot tıkalı olacak, yani A ve B noktaları arasında sonsuz direnç varmış gibi düşünülecektir. Öyle ise giriş gerilimi V_R+V_x 'e erişinceye kadar Şekil-3.a'daki devre yerine Şekil-4'deki eşdeğer devreyi kullanabiliriz. O halde giriş aynen çıkışa iletilecektir. Yani $V_g=V_c$ 'dir (çıkışta bir yük bulunmadığına ve çıkış uçlarının açık devre olduğuna dikkat ediniz).



Şekil 4. Diyot tıkamadayken eşdeğer devre.

$V_{gir} < V_R + V_x$ oldukça geçiş karakteristiğinde eğim 1'dir. $V_g = V_R$ olduğunda D diyodunun uçlarındaki gerilim düşümü 0'dır ve diyot akım akıtmaz. Öyleyse A-B uçları gene açık devre gibidir. Giriş gerilimini V_x kadar daha arttırdığımızda D diyodundan akım akmaya başlar. Bu noktadan sonra A-B uçlarını açık devre gibi düşünemeyiz.

Diyot kısa devre olmuştur (R_f geçirme yönü direncini ihmal edersek). $V_{gir} > V_R + V_x$ gerilimleri için R_f direncinin ihmal edilmediği eşdeğer devre Şekil-5'de verilmiştir (1 nolu çevrede I akımının aktığını kabul ediyoruz).



Şekil 5. Diyot iletimdeyken eşdeğer devre.

1 nolu çevre için:

$$V_g = (R + R_f)I + V_R \quad (1)$$

2 nolu çevre için:

$$V_g = RI + V_c \quad (2)$$

1'den $I = (V_g - V_R) / (R + R_f)$ elde edilir. Bunu (2)'de yerine koyarsak

$$V_g = R \cdot (V_g - V_R) / (R + R_f) + V_c \text{ elde ederiz. Gerekli düzenlemeler yapılırsa;}$$

$V_c = R_f / (R + R_f) \cdot V_g + R / (R + R_f) \cdot V_R$ bulunur. V_R bir sabit olduğuna göre bu denklem bir doğru denklemdir ve eğimi $R_f / (R + R_f)$ dir.

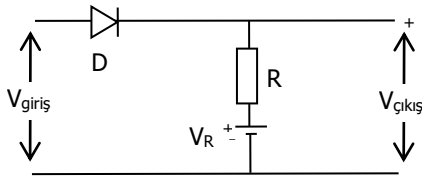
Böylece kırpıcının çıkış ve giriş gerilimi arasında tanımlanan geçiş karakteristiğini elde etmiş olduk. Bundan faydalanarak herhangi bir giriş için çıkışın ne olacağını bulabiliriz. Şekil-3.b'de girişe tepe değeri V_t olan bir sinüs uygulanmıştır. $-V_t$ 'den $+(V_R + V_x)$ e kadar olan sinüs parçası çıkışa olduğu gibi iletir.

Girişteki işaretin genliği $+(V_R + V_x)$ e eriştiğinde geçiş karakteristiğinin eğimi birden bire azaldığından bundan sonra girişteki gerilim artmalarına karşılık çıkıştaki gerilimin artması küçük olur. Şekil-3.b'den görüldüğü gibi $+(V_R + V_x)$ den sonra sinüs eğrisi basıklaşır. Eğer diyot ideal bir diyot olsaydı V_R 'den sonra çıkış V_R ile sınırlandırılmış olacaktı.

Bu tür devrelerde R direncinin seçimi de önemlidir. Bu direnç için; R_f diyotun geçirme yönü direnci, R_r diyotun tıkama yönü direnci olmak üzere $R=(R_r \cdot R_f)^{1/2}$ seçmek uygun olur. Kırılmanın mükemmel olması için $R_f/(R+R_f)$ eğimi sıfır olmalıdır. Öyleyse R direncinin büyük olması kırılmayı iyileştirir. Yalnız R'yi keyfi olarak büyütmenin de sakıncaları vardır. Çünkü kırıcı devrenin çıkışında her zaman R_y gibi bir yük bulunacaktır (Şekil-3a). Bu direnç genellikle bundan sonraki devrenin giriş direncidir. Diyot tıkalıyken $V_{\zeta}=R_y \cdot V_g/(R_y+R)$ olur.

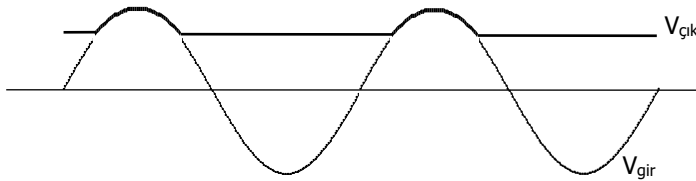
Burada R büyüdüğü oranda çıkışın küçüleceği açıktır. Öyleyse R'yi fazla büyütmek sakıncalıdır. Buraya kadar diyotlu kırıcı devrelerden birini ele alarak lineerleştirilmiş geçiş karakteristiği yardımıyla nasıl analiz edileceğini gördük.

Benzer analiz alttaki devreler için de geçerlidir. Şekil-6'daki devre için yukarıdaki geçiş karakteristiği elde edilmeden sinüsoidal girişe cevabın ne olacağı kabaca bulunabilir. Giriş V_R 'ye ulaşıncaya kadar D diyodu akım akıtmaz. Öyleyse $V_{\zeta}=V_R$ 'dir. $V_g > V_R$ olduğunda diyot iletme geçer ve içinden akım akmaya başlar.



Şekil 6. Seri kırma devresine bir örnek.

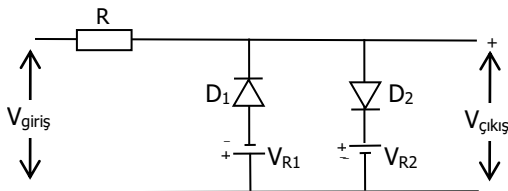
Diyot uçlarındaki gerilim düşümü ihmal edilirse $I=(V_g-V_R)/R$ dir. O halde çıkış gerilimi; $V_{\zeta}=RI+V_R$ dir. Yani V_R gerilimi ile $R \cdot I$ gerilimi toplanmıştır. V_g arttıkça I akımı artacaktır. Bu devre için giriş ve çıkış eğrileri Şekil-7'de gösterilmiştir.



Şekil 7. Seri kırma devresi için (Şekil-6'daki) giriş-çıkış ilişkisi.

Dikkat edilirse şimdiye kadar incelediğimiz diyotlu kırıcı devrelerin birinde diyotun işaret yoluna seri, diğerinde ise paralel geldiği görülür. Pratikte diyotlar idealde düşündüğümüz gibi değildir ve anotları ile katotları arasında küçük bir kapasite vardır. Diyotların seri geldiği devrelerde diyot tıkalı olduğunda sonsuz direnç göstermesi gerekirken buna paralel olarak $1/\omega c$ reaktansı da belirir. ω frekansı büyük olursa bu reaktans küçüleceğinden işaretin bir kısmı bu reaktans üzerinden çıkışa iletilecektir. Diyot şönt eleman olarak geldiğinde giriş işaretindeki keskin köşeleri yuvarlatır (işarete distorsiyona yol açar).

Kırıcı devrelerin tamamında anlatıldığı gibi belli iki referans seviye arasında kırma yapan devreler de vardır. Şekil-8'de bu tür bir kırıcı devre görülmektedir. Deneye gelmeden önce yukarıda anlatılanlardan yararlanarak sinüsoidal bir giriş için çıkışın ne olacağını bulmaya çalışın.



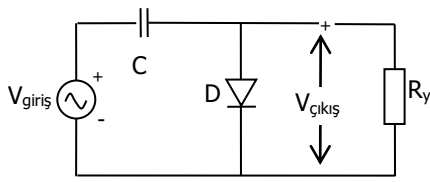
Şekil 8. İki referans seviye arasında kırma yapan bir devre.

Bu düzenlemede diyotlar şönt eleman olarak gelmişlerdir. Diyotların seri veya paralel geldiği çift kırpma seviyeli kırpıcılar da yapılabilir.

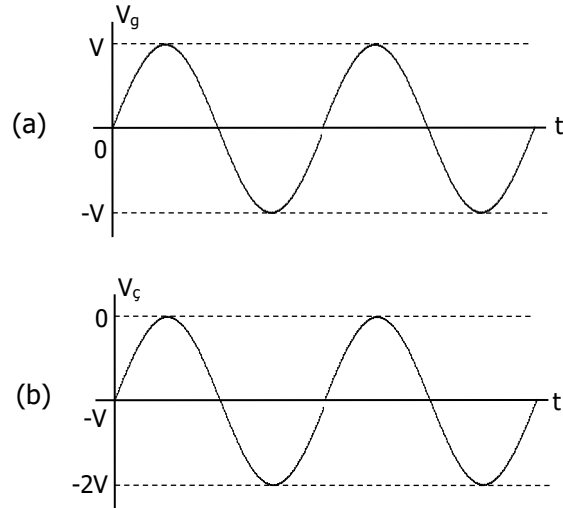
3. Kenetleme Devreleri

Zamana göre değişen ve DA bileşeni 0 olan bir işaretin belirli bir seviyesini istenen bir değere öteleyen ve bu değerde tutan devrelere kenetleme devreleri denir.

Basit bir kenetleyici devre Şekil-9'da verilmiştir. Şekil-10.a'daki sinüsoidal işaretin bu devreye uygulandığını düşünelim.

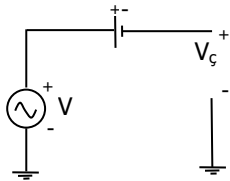


Şekil 9. Negatif kenetleme devresi

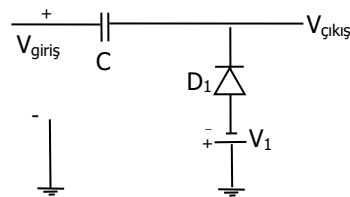


Şekil 10. Kenetleme devresinin giriş-çıkış ilişkisi

V_g gerilimi 0'dan V 'ye doğru artarken D diyodu iletme geçer. Kapasite, yükünü koruduğundan DA gerilim kaynağı gibi davranacaktır. Eşdeğer devre Şekil-11'de verilmiştir. Bu devreden $V_ç = V_g - V$ yazabiliriz.



Şekil 11. Diyot iletimdeyken kenetleme devresinin eşdeğeri



Şekil 12. V_1 'de pozitif kenetlenen devre

Bu denklemden görülür ki işaret V volt kadar negatif yönde kaydırılmıştır. Çıkış işareti Şekil-10.b'deki gibi olacaktır. Böyle bir devrede çıkış işareti 0 voltta negatif olarak kenetlenmiştir. Şekil-9'daki devrede diyodun yönü ters çevrilirse, pozitif kenetleme elde edilir. Diyoda seri bir DA gerilim kaynağı bağlayarak 0'dan farklı bir seviyede kenetleme elde edilebilir. Şekil-12'de V_1 'de pozitif kenetlenen bir devre verilmiştir.

4. Deney Hazırlığı

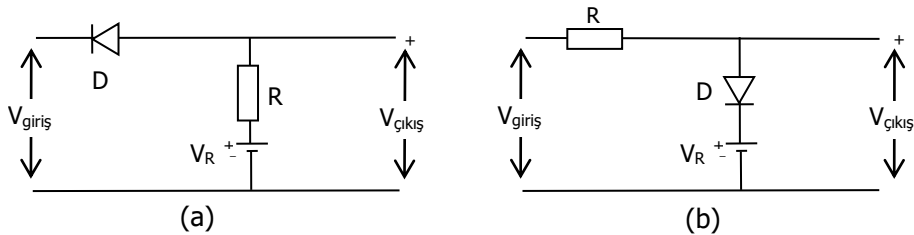
1. Kırpma ve kenetleme devreleri hakkındaki teorik bilgilerinizi anımsayınız.
2. Kapasitenin çalışması hakkındaki teorik bilgilerinizi tekrarlayınız.
3. Deney sorularının çözümlerini araştırınız.

5. Deney Tasarımı ve Uygulaması

1. $R=10K$, $V_R=3V$ olarak Şekil-3.a'daki devreyi kurun. D diyodu olarak BAY39 diyodunu kullanın. Girişe bir doğru gerilim kaynağı bağlayarak $-3V$, $-2V$, $0V$, $1V$, $2V$, $3V$, $4V$, $5V$ için çıkış gerilimini ölçün. Sonra girişe $F=1KHz$ 'e ayarlanmış bir osilatör bağlayarak çıkışı bir osiloskop yardımıyla inceleyin. Osilatörün genliğini yavaş yavaş arttırarak çıkışta kırpma elde edin. Elde ettiğiniz dalga şeklini ölçekli olarak çiziniz.
2. $R=10K$, $V_R=3V$ olarak, aynı diyotla Şekil-6'daki devreyi kurun. Girişe $1KHz$ 'e ayarladığınız bir osiloskop bağlayarak çıkış dalga şeklini çıkışa bağladığınız bir osiloskop yardımıyla ölçekli olarak çiziniz.
3. a) $R=10K$, $V_{R1}=V_{R2}=2V$ olarak Şekil-8'deki devreyi kurunuz. $f=1KHz$ 'lik sinüsoidal giriş işareti için çıkışı osiloskop'tan yararlanarak ölçekli olarak çiziniz. Girişe bağlayacağınız bir DC gerilim kaynağını -5 , -4 , -3 , -2 , -1 , 0 , $+1$, $+2$, $+3$, $+4$, $+5$ volta ayarlayarak çıkış gerilimini bir voltmetre ile ölçünüz.
b) Yukarıdaki devrede $V_{R1}=2V$, $V_{R2}=3V$ yaparak çıkış dalga şeklini $f=1KHz$ 'lik sinüsoidal giriş için ölçekli olarak yeniden çiziniz.
4. Şekil-9'da verilen kenetleme devresini $C=0.1$ mF için gerçekleyiniz ve girişine bir sinüsoidal işaret üreticini bağlayınız ($f=1KHz$). V_{gir} , V_c gerilimlerini osiloskopta ayrı ayrı inceleyiniz. Devredeki diyotun yönü değiştirildikten sonra aynı incelemeyi bir daha yapıp kaydediniz.
5. Şekil-12'deki devreyi $C=0.1$ mF ve $V_1=2V$ için gerçekleyiniz. Girişine bir sinüsoidal işaret üreticini bağlayarak V_{gir} , V_c gerilimlerini ayrı ayrı inceleyip kaydediniz.

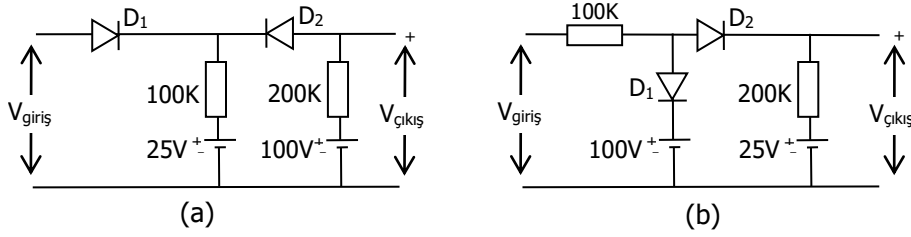
6. Deney Soruları

1. Deney sırasında gördüğünüz devreleri siz gerçekliyor olsaydınız her birinde diyotları seçerken diyotun hangi özelliklerine dikkat eder, nasıl olmalarını isterdiniz? Niçin?
2. Deney-1'de ölçekli olarak çizdiğiniz dalga şekillerinden faydalanarak kırpılmanın başladığı tepe değerini hesaplayınız.
3. Deney-1'de $V_R=3V$ aldığınıza göre kırpılmanın başladığı gerilim için kaç volt okudunuz. Durumu nasıl açıklarsınız?
4. Şekil-13'deki devreler için de çıkışın ne olacağını siz düşünün.



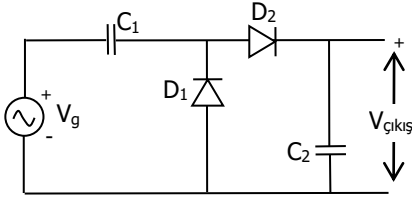
Şekil 13. Örnek devreler

5. Şekil-14’de gösterilen devrelerde diyotları ideal kabul ederek tepe değeri 150V’a kadar çıkan sinüsoidal bir giriş için çıkış dalga şekillerini çiziniz.



Şekil 14. Örnek devreler.

6. Şekil-15’deki devrenin çalışmasını anlatınız. Çıkış işaretinin dalga şeklini çiziniz. Çıkışa bir yük bağlayınca çıkış işaretinin dalga şekli değişir mi?



Şekil 15. Örnek bir devre.

7. Kırpma devrelerinde diyotların paralel ile seri bağlanmasında ne gibi farklar vardır?
8. Kenetleme devrelerinde kapasitenin yük boşaltmaması nasıl sağlanmaktadır? Açıklayınız.

7. Deney Raporu

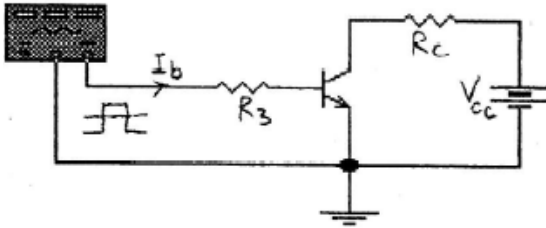
1. Deneyde işlenen teorik konuları (föyden bağımsız olarak) kısaca anlatınız.
2. Deney esnasında sorulan sorulara verilen cevaplardan aldığınız notları rapora aktarınız.
3. Deneylerde elde ettiğiniz dalga şekillerini ölçekli olarak, deney koşullarını ve ilgili devreleri de belirterek düzgün olarak çiziniz.



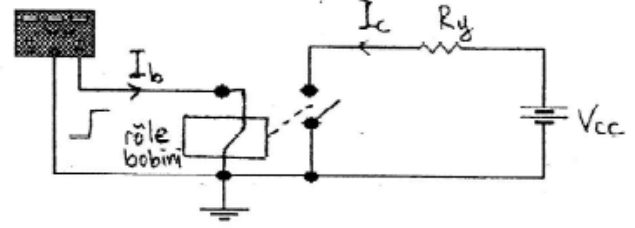
TRANSİSTÖRÜN ANAHTAR DAVRANIŞLARI

1. Giriş

Şekil 1.a'da verilen emetör montajlı transistör V_{cc} kaynağını R_y yüküne bağlayan bir anahtar olarak kullanılmıştır. Şekil 1.b 'de ise aynı V_{cc} kaynağını, R_y yüküne bağlayan röleli bir anahtar (veya mekanik bir anahtar) verilmiştir. Burada anahtarın tanımı şöyle olur: Eğer anahtar açık ise V_{cc} kaynak geriliminin tümü anahtar uçlarına düşer ve I_c akımı sıfırdır. Eğer anahtar kapalı ise anahtar uçlarına düşen gerilim sıfır olur. Mekanik anahtarlarda, anahtarı açıp kapayan ya bir kontrol akımıdır (rölede olduğu gibi) veya bir mekanik eldir.



Şekil 1.a Mekanik anahtar



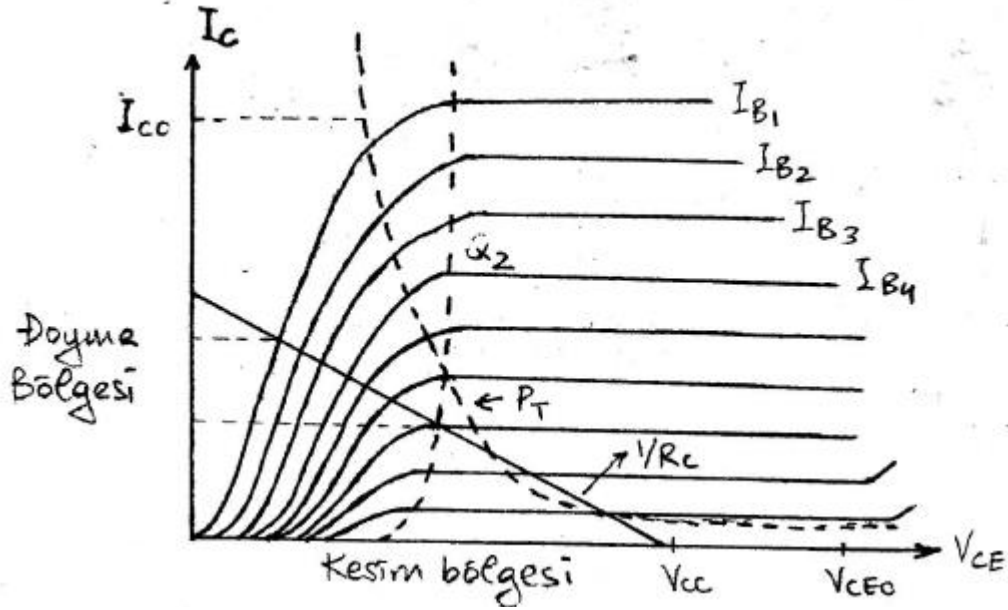
Şekil 2.a Röleli anahtar

Mekanik anahtarlar genelde ideal anahtar tanımına yakın özellikler gösterirler. Buna karşın hızları düşüktür ve aktarma (açma-kapama) zamanında çeşitli sorunlar ortaya çıkarırlar. Eğer transistör anahtar olarak kullanılacaksa, yukarıda verilen anahtar tanımına uygun davranışlar beklenir. Bu deneyde sürekli halde ve geçiş anlarında transistörlü anahtarın davranışları incelenecektir. Başlangıçta bir miktar kuramsal bilgi verilecek, sonra da bu bilgilerin deneysel incelemesi yapılacaktır.

2. Transistörlü Anahtarlar

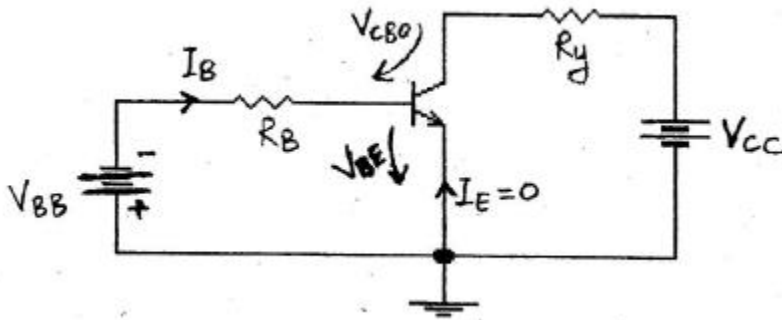
Ortak emetörlü bir transistor ün çıkış karakteristik eğrileri Şekil 2'de verilmiştir. Transistörün anahtar olarak kullanıldığı Şekil 1.a'daki devre için bu karakteristiği bölümlerse, üç ayrı çalışma bölgesi seçmek yararlı olur: kesim, aktif çalışma ve doyma bölgeleri.

Kesim bölgesinde transistor ün emetör ve kollektör eklemleri tıkama yönünde kutuplanmıştır. Bu nedenle çok küçük olan tıkama yönü I_{CBO} ve I_{EBO} akımları akar. $I_E = 0$ veya negatif olur. $I_C = I_{CBO}$ 'dur. Bu çalışma koşulunda anahtarımız açık devredir.



Şekil 2. Ortak emetörlü transistörün çıkış özgeğirleri

Emetör eklemi iletim yönünde, kolektör eklemi tıkama yönünde kutuplanırsa, transistörün I_C çıkış akımı I_B giriş akımına göre oldukça doğrusal davranır. Bu çalışma koşulunu tüm doğrusal (lineer) yükselteçlerde sağlarız. Oysa transistörlü anahtar uygulamalarında bu bölgeyi mümkün olduğunca çabuk geçmek isteriz. Bu durumda devrenin kesim ve doyma bölgelerinde bulunan, iki adet çalışma noktası vardır. Q_1 ve Q_2 , $V_{CB} \leq 0$ ve $I_E > 0$ olan bölge de transistörün doyma bölgesi olur. Bu bölgede hem emetör hem de kolektör eklemeleri iletim yönünde kutuplanmıştır. Bu durumda V_{CE} geriliminin değeri transistörün eşik geriliminden küçüktür. Çünkü emetör montajlı Şekil 1.a'daki devrede $V_{CE} = V_{CB} + V_{BE}$ olur ve V_{CB} de negatiftir.



Şekil 3. Kesim bölgesinde anahtar devresi

Transistörde ($I_C \approx 0$) olunca, kesim bölgesindedir denir. Devrenin I_C akımı

$$I_C = -\alpha I_E + I_{C0}$$

dır. Burada $I_B = 0$ iken $I_C = I_{C0}$ olur. Oysa transistörün bazını açık bırakırsak $I_B = 0$ olmasına karşın $I_E = -I_C$ olur ve buradan da yukarıdaki eşitlik gereği I_C akımı,

$$I_c = -I_E = \frac{I_{CO}}{1-\alpha}$$

olur. α 'nın 1'e çok yakın olduğu düşünülürse I_C akımının da hayli büyük değerde olabileceği ortaya çıkar. Transistörlü anahtar devrelerinde bazın hiçbir zaman boşta gezmemesi sağlanmalıdır. Bu durumda da I_{CO} çok küçüktür ve transistör kesime yakın bölgede olur. Kesim bölgesinde bulunan Şekil 3'teki anahtar devresinde ısıl kararsızlığın olabildiği özel durumları inceleyelim. Şekil 3'de transistörün tam kesim noktası eşliğinde bulunduğunu düşünelim. Bu durumda $I_E = 0$ olur, negatif yönde akım akmaz, $I_B = -I_{CBO}$ 'dur. Oysa transistörün kesimde olması için bu devrede baz-emetör gerilimi $V_{BE} \leq -0.1 \text{ V (Ge)}$, $V_{BE} \leq 0.3 \text{ V (Si)}$ transistör için) olmalıdır. Bu durumda $V_{BE} = -V_{BB} + R_B I_{CBO} \leq 0.3 \text{ (Si)}$ şartı sağlanmalıdır. Bazı uç koşullarda V_{BE} gerilimini transistörün iletim eşliğine getirecek kadar büyük değerli R_B veya I_{CB} olabilir, bu durumda "ısıl kaçma" mümkün olur. Bu özel durum dışında kesimdeki bir transistörün ısıl sürüklenmesi söz konusu olamaz. Transistörlü bir anahtar devresi gerçekleştiği zaman V_{CB} , V_{CE} ve V_{EB} gerilimlerinin müsaade edilen maksimum değerlerini aşmaması sağlanmalıdır. Emetör montajında maksimum V_{CEO} gerilimi genellikle V_{CBO} 'dan daha küçüktür. Kollektör-emetör kırılmasının olmaması için anahtar açma geriliminin V_{CEO} 'dan büyük olmamalıdır.

Doyma bölgesinde transistörlü anahtarın kapalı olduğu belirtilmişti. Şimdi, bir transistörün ne zaman doymada olduğunu belirten iki tanımı verelim.

Eğer bir anahtar devresindeki transistörün I_C ve I_B akımları birbirlerinden bağımsız olarak devre tarafından tanımlanıyorsa, yani $I_B \geq \frac{I_C}{h_{FE}}$ ise transistör doymadadır denir.

Eğer bir anahtar devresindeki transistörün V_{CB} gerilimi npn transistör için negatif (pnp transistör için pozitif) ise o transistör doymadadır.

Doymada olan bir transistörün I_B baz akımı artırılarak V_{CEsat} gerilimi bir miktar daha küçültülebilir. Si transistörlerde bu gerilim birkaç yüz mV ($<300\text{mV}$), Ge transistörlerde birkaç on mV kadardır. Diğer taraftan transistörün yapım tekniğine ve katkı yoğunluklarına bağlı olarak da değişir.

Transistörlü bir anahtar devresinde Şekil 2'deki I_{Cmax} maksimum kolektör akımı ve V_{CEO} gerilimi aşılmadığı müddetçe yük doğrusunun transistörün güç hiperbolünü kesmesi sorun teşkil etmeyecektir. Çünkü transistörün kesimden doymaya, doymadan kesime bu yük doğrusu üzerinden geçişi çok hızlıdır. Doğal olarak bu hız giriş işaretine ve anahtar hızına bağlı olacaktır. Hiçbir zaman toplam kayıp ısıl gücünün P_T gücünden fazla olmamasına dikkat edilmelidir.

3. Anahtarlama Anında Transistör Davranışları

Şekil 2'de emetör montajlı bir transistörlü kuvvetlendirici ve çıkış karakteristiği verilmiştir. Bu kuvvetlendirici girişine uygulanan $v_i(t)$ darbelerinin V_1 gerilim seviyesi transistörü Q_1 kesim noktasına, V_2 gerilimi seviyesi Q_2 doyma noktasına götürecektir. Q_1 noktasından Q_2 çalışma noktasına geçiş (lineer çalışma aralığı) çok hızlıdır. Transistörün bu uygulamasına "transistörün anahtar olarak kullanılması" veya "darbe kuvvetlendirici" denir. Buradaki amacımız transistörlü anahtarların geçiş özellikleri ve çalışma hızlarının iyileştirilmesi için gerekli tedbirlerin kuramsal ve deneysel olarak incelemektir.

Şekil 4'te, Şekil 1'de verilen transistörlü anahtarın giriş-çıkış gerilim ve akım dalga şekilleri görülmektedir. Transistörün kolektör akımının maksimum değeri eğer $V_{CEsat} \approx 0$ farz edilirse, $I_{CS} = \frac{V_{CC}}{R_C}$ olur. Kollektör akımının 0 dan $0.1I_{CS}$ 'ye kadar geçen süreye " t_d " gecikme

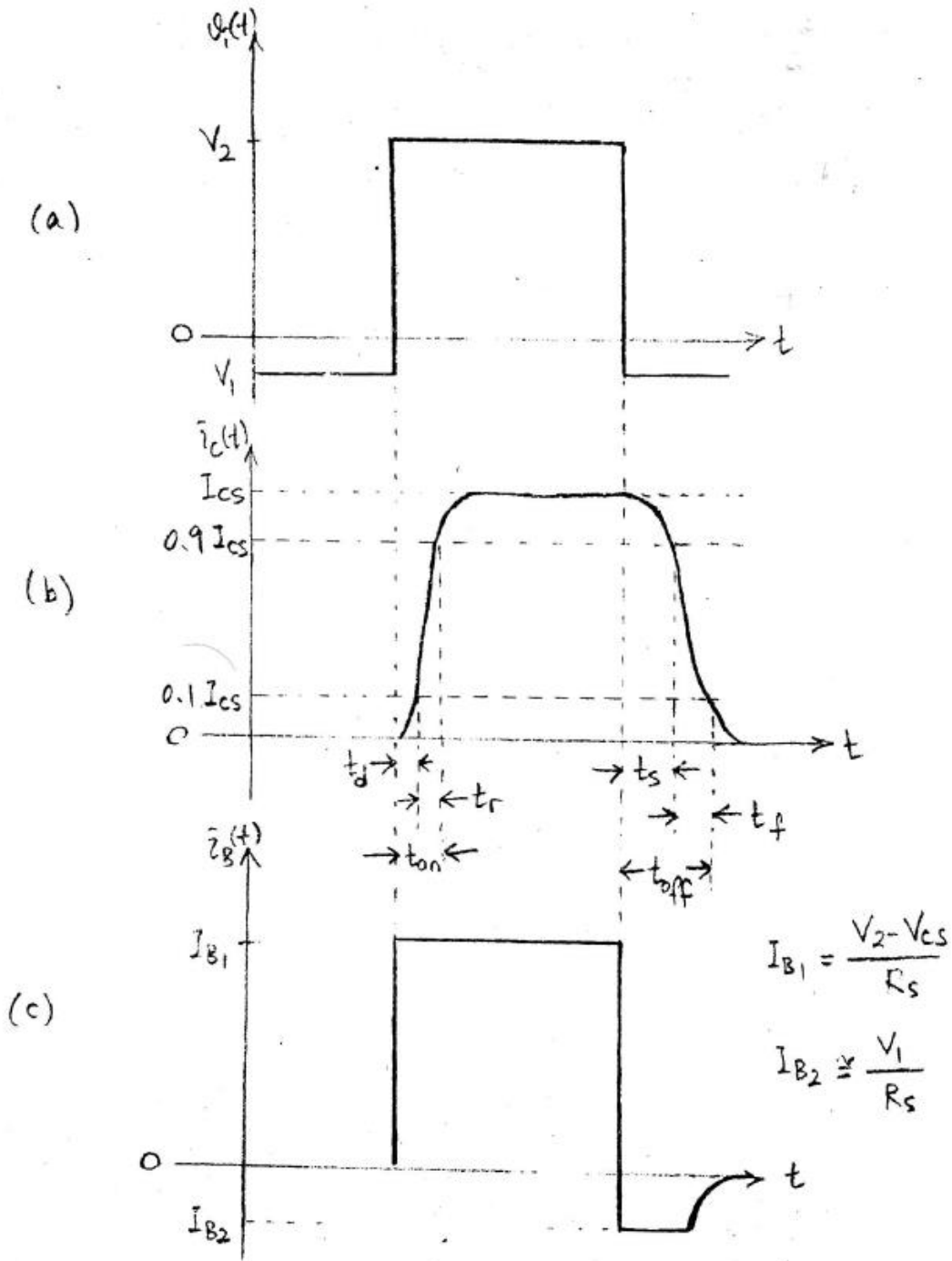
süresi denir. Akım dalga şeklinin $0.1I_{CS}$ 'den $0.9I_{CS}$ 'ye kadar geçen süreye “ t_r ” yükselme zamanı adı verilir. Tıkamadaki transistörün “ toplam ilettime geçme zamanı “ ise “ t_{on} ” gecikme ve yükselme zamanlarının toplamı olur ($t_{on} \approx t_d + t_r$) . Giriş $v_i(t)$ gerilimi V_2 seviyesinden V_1 seviyesine gittiği anda çıkış “ I_c ” akımı hemen sıfıra gitmez. “ t_s ” kadar bir süre sonra ancak $0.9 I_{CS}$ 'ye düşer. Bu süreye darbe üstü uzaması denir. I_c kollektör akımının $0.9 I_{CS}$ 'den $0.1 I_{CS}$ 'ye düşene kadar geçen süreye “ t_f ” düşme zamanı adı verilir. Düşme zamanı ile darbe üstü uzama sürelerinin toplamına “ t_{off} ” “açma zamanı” adı verilir. Aşağıda bu bozulmaların fiziksel kaynakları ve düzeltilme yolları incelenecektir.

4. Gecikme Zamanı

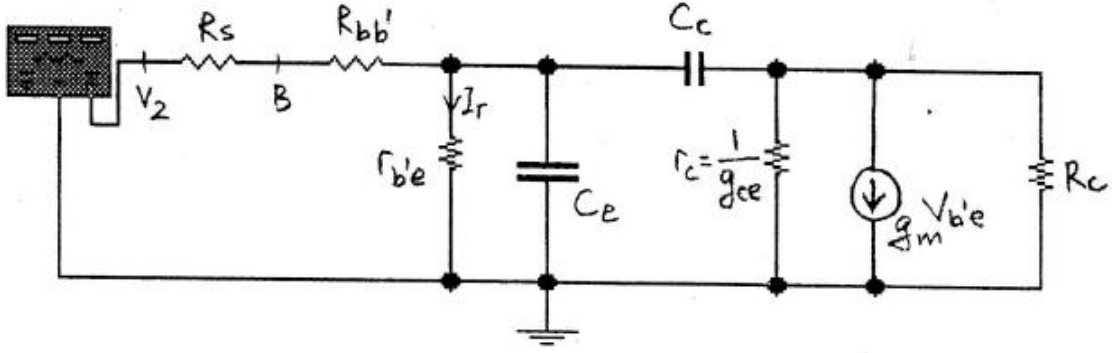
t_d gecikme zamanı üç ayrı etkenden kaynaklanmaktadır. Birincisi, transistörün girişine uygulanan $v_i(t)$ sürücü işareti sonlu bir zamanda eklem sığasını yükler ve kesimden aktif bölgeye getirir. İkinci etken transistör aktif bölge eşiğine geldiği zaman dahi azınlık taşıyıcılarının emetör ekleminden baz eklemine geçişi, oradan da kolektör içlerine yayılması için de sonlu bir zamana ihtiyaç vardır. Üçüncü neden kolektör akımının $0.1I_{CS}$ 'ye kadar yükselmesi için de belirli bir zaman geçer.

Transistörlü anahtarın t_d gecikmesindeki birinci etkeni incelemek için, Şekil 1.a'da verilen devrenin eşdeğerini transistörün π modeli ile verelim (Şekil 5). Burada $R'_s = R_s + r'_{bb}$ toplam baz direnci olur. Baz-emetör arasına V_1 negatif gerilimi geldiği zaman r_{be} direnci çok büyük olur ve ihmal edilir. $\rho_m V_{be}'$ kontrol akım kaynağında $\rho_m = 0$ olur. Bu özelleştirilmiş eşdeğer Şekil 5.b'de verilmiştir.

Emetör difüzyon sığası doğrudan doğruya çalışma noktasındaki emetör akımı ile orantılı olur. Oysa şu anda transistör kesimdedir ve difüzyon sığası ihmal edilebilir. Bu durumda C_e sığası sadece emetör eklemine geçiş sığası C_{Te} 'den ibaret olur. Bu sığa, kollektör açık devre yapılırsa baz-emetör arasında gözlenebilir. Baz-kollektör arasındaki sığa C_c de sadece, baz-kollektör geçiş sığası C_{Tc} 'den ibaret olur.



Şekil 4. Sürücü darbeleri ile $i_c(t)$ kolektör akımı ve $i_B(t)$ baz akımı dalga şekilleri



Şekil 5.a Transistörün π modeli

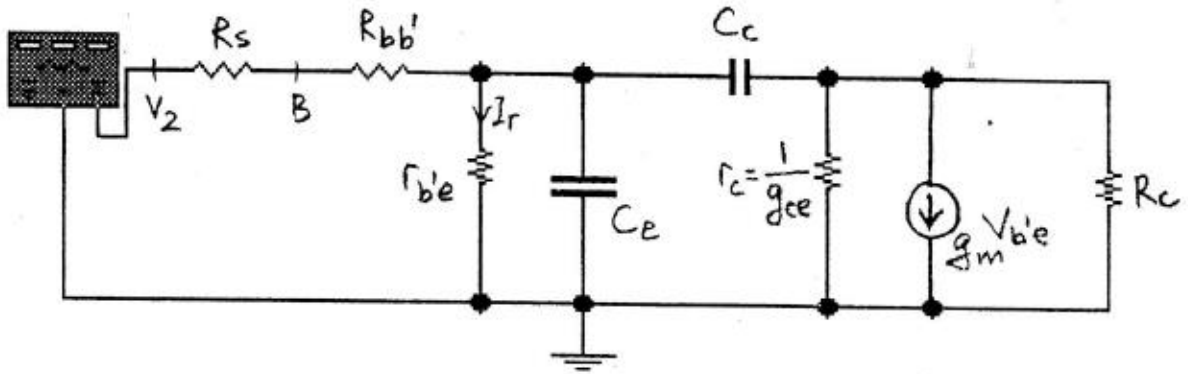
$$g_m = \frac{h_{fe} |I_E|}{1 + h_{fe} \eta V_T} \quad g_m \approx \frac{|I_g|}{26mV} \text{ mho}$$

Si transistörlerde

$$C_e \cong \frac{g_m}{2\pi f_T}$$

$C_c = C_{ob}$ diye de adlandırılır.

$$g_{ce} = h_{ce} - (1 + h_{fe})g_{b'ic} \quad r_{b'ic} = \frac{h_{fe}}{g_m}$$



Şekil 5.b

Kollektörde akım kaynağı sıfır olduğundan hiçbir değişim olmaz. Bu nedenle de kolektör toprağa kısa devre edilmiştir (Şekil 5.a).

Baz-emetör C_{Te} kapasitesinin dolma zamanı kolayca hesaplanabilir. Bu devrede;

$$V_{b'e} = V_2 + (V_1 - V_2)e^{-t/T_i} \quad T_i = R_s' (C_{ib} + C_{ab})$$

Baz-emetör eklemi geriliminin $V_{be} = 0.5 \text{ V}$ 'ta iletim eşğine gelmesi için geçen zamanı bu devre modelinden,

$$t_{d1} = R_{s'}(C_{ib} + C_{ob}) \ln \frac{V_2 - V_1}{V_2 - 0.5}$$

Eğer $V_2 \gg 0.5V$, $V_2 \gg V_1$ ise $t_{d1} \rightarrow 0$ olur. Demek ki bu zamanı kısaltmak için tutulması gereken yol, girişteki darbenin son değerini eşik gerilimi “ V_e ” değerine göre çok büyük yapmaktır. Gecikme zamanının diğer nedeni olan azınlık taşıyıcılarının baz bölgesini geçiş zamanı olan t_{d2} doğrudan transistörün yapımından ve fiziksel özelliklerinden kaynaklanan bir olgudur. Devremizi geliştirerek değerini değiştiremeyiz. Bu gecikme transistörün ortak emetörlü kazanç bant genişliği çarpımı olan $f_T = \frac{w_T}{2\pi}$ cinsinden

$$t_{d2} \cong \frac{1}{3} \frac{2\pi}{w_T} \quad \text{olur.}$$

5. Yükselme Zamanı

Yükselme zamanı Şekil 5.a’da verilen devre arcılığı ile C_e sığasının girişten ve C_c sığasını R_c üzerinden doldurulması için geçen toplam zamandır. “ I_c ” eğrisinin şekli $h_{fe} I_{B1}$ ’e doğru üstel olarak yükselen bir akım dalga şekli olduğundan, Şekil 6 eğrisini verir ve

$$I_c = h_{fe} I_{B1} (1 - e^{-t/T_r})$$

olur. Burada,

$$T_r = h_{fe} \left(\frac{1}{w_T} + C_c + R_c \right) \quad h_{fe} I_{BA} = I_{cs} \cong \frac{V_{CC}}{R_c}$$

dir. Q_2 noktasında yükselme zamanı olarak kolektör akımının 0.1 I_{cs} ‘den 0.9 I_{cs} ’ye yükselene kadar geçen süre olarak tanımlanmıştır. Bu süre hesaplanırsa,

$$t_{0.1} = T_r \ln \frac{1}{1 - \frac{0.1}{N_1}} \quad N_1 \cong \frac{h_{fe} I_{B1}}{I_{CS}} \quad t_{0.9} = T_r \ln \frac{1}{1 - \frac{0.9}{N_1}}$$

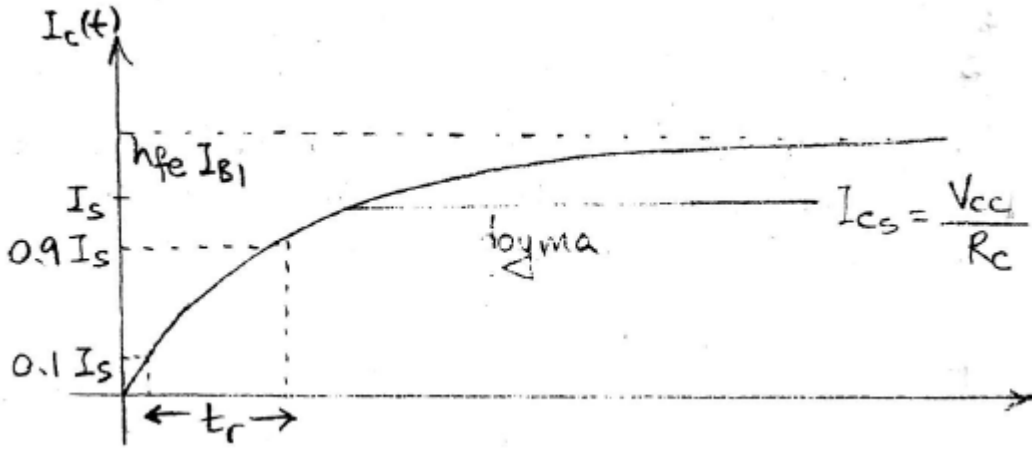
$$t_r = t_{0.9} = T_r \ln \frac{1 - 0.1/N_1}{1 - 0.9/N_1}$$

ln serisinden yaklaşık ifade,

$$t_r = \frac{0.8 T_r}{N_1} = 0.8 \frac{T_r I_{CS}}{h_{fe} I_{B1}}$$

olarak bulunur.

Burada transistörün I_{B1} akımı I_{CS} ’den bağımsızdır. I_{CS} de, R_c direnci tarafından belirlenir. Demek ki yükselme zamanını küçültmek için transistörün aşırı doymaya sürülmesi ($h_{fe} I_{B1} \gg I_{CS}$) yükselme zamanını kısaltacaktır. Bu olguyu sağlamak için sürücü darbe olan “ $v_i(t)$ ” nin V_2 gerilimi de büyüyeceği için “ t_d ” gecikme zamanı da yükselme zamanına paralel olarak küçülür. Sonuçta toplam “iletime geçme zamanı” kısalmır.

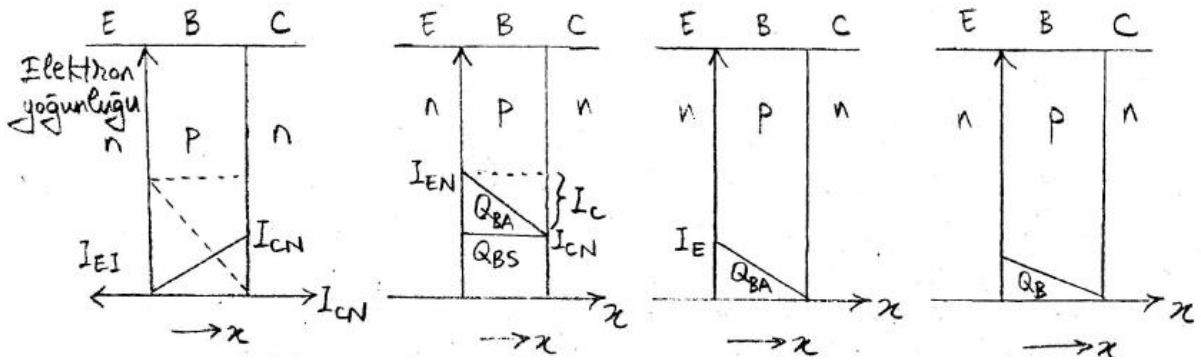


Şekil 6. Kollektör akımı yükselme zamanını veren eğri.

6. Darbe Üstü Uzaması

Transistörlü bir anahtar iletme sokulduğu zaman, transistör doymadadır. Bundan önce yükselme zamanının iyileştirilmesinde görüldüğü gibi, aşırı doyma yükselme zamanını kısaltır. Oysa Şekil 4.b'ye dikkat edilirse uyarıcı işaret sıfıra döndüğü halde, transistörün kolektör akımı sıfıra dönmez. "t_s" kadar süre sonra cevap verir. Bu süreyi "darbe üstü uzaması" olarak tanımlamıştık. Darbe üstü uzamasının fiziksel kökeni, baz bölgesinde biriken uzay yükünün, emetör enjeksiyonu bittikten sonra da kolektör içlerine taşınacak azınlık taşıyıcısına sahip olmasından kaynaklanır. Şimdi lineer çalışma koşullarında ve aşırı doymada baz bölgesindeki yük dağılımını inceleyerek, darbe üstü uzamasının nedenini ve nasıl azaltılacağını araştıralım.

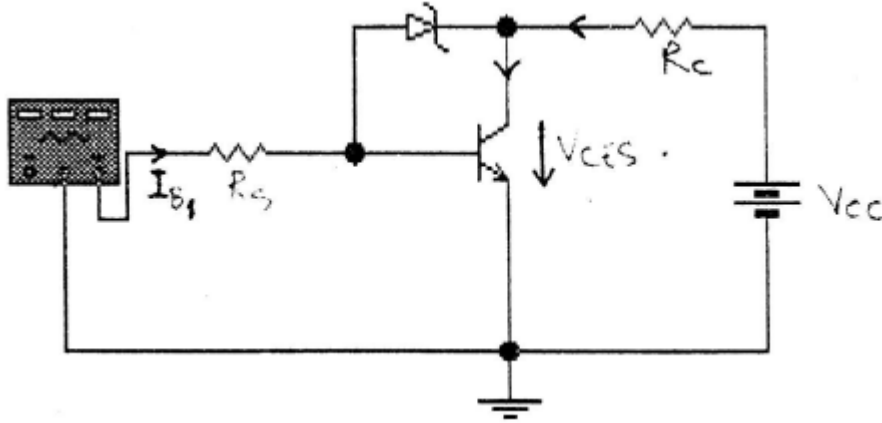
Şekil 7'de, Şekil 1.a'da verilen transistörün çeşitli çalışma koşullarında, baz bölgesindeki yük dağılımının değişimi, doymadan kesime geçişi esnasında adım adım verilmiştir.



Şekil 7. npn tipi transistörün doymadan kesime geçişi esnasında bazdaki elektron yoğunluğunun değişimi

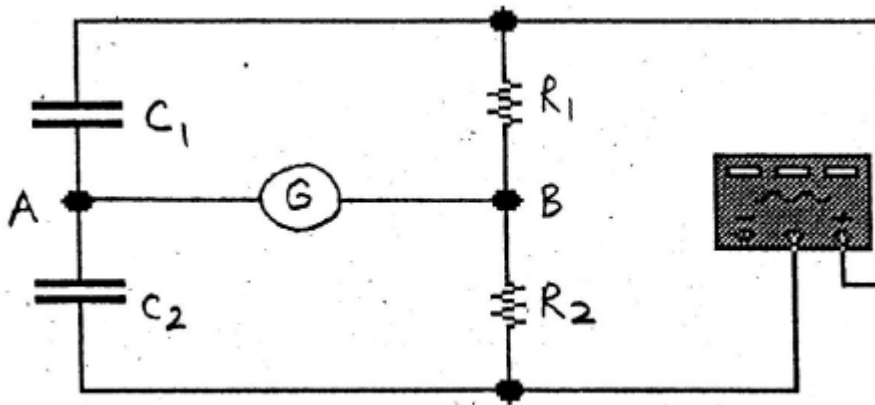
Bu diyagramda gösterildiği gibi Şekil 7.a'da transistör doymadadır. Baz bölgesine emetörden I_{EN} elektron yoğunluğu enjekte edilirken, kolektörden de I_{CN} elektron yoğunluğu enjekte edilir. Bunun sonucu, Şekil 7.b'de görüldüğü gibi bazda Q_{BS} dinamik yükü oluşur. Bu yük sürekli doğup kaybolan türden bir yükür. Eğer transistörü doymadan kesime göndermek

istersek, önce bu Q_{BS} yükü boşalır. Bu süre içerisinde transistör doymada kalmaya devam eder. Bu süreye daha önce “darbe üstü uzaması” denilmiştir. Daha sonra Şekil 7.c ve Şekil 7.d’deki gibi baz bölgesi Q_{BA} yükünün boşalması gerekir. Fakat bu olgu lineer olur ve yükselme anındaki C_{Te} difüzyon sığasının boşalmasına karşı düşer. Demek ki transistörün kolektör bölgesinden baza taşıyıcı enjeksiyonu önlenirse, darbe üstü uzaması kısalmır. Bunun için izlenen yol ise Şekil 8’de verilen devrede olduğu gibidir. Burada kullanılan diyotun $V_{Deş}$ gerilimi çok küçük olmalıdır. Bu da ancak Schottky türü diyotlarla sağlanır. Burada diyotun görevi, V_c gerilimi negatif olunca iletken olmak ve I_B akımını azaltmaktır. Bu sayede aşırı doyma olayı önlenmiş olur. Şekil 2’de transistör Q_2 noktasında ve I_{R4} baz akımında çalışır.



Şekil 8. Darbe üstü uzamasını önlemek için kullanılan diyotlu devre

Darbe devrelerinde, darbenin düşme ve yükselme zamanlarını iyileştirmek için köprü modelini yaratalım. Bu amaçla Şekil 9’daki köprüyü ve Şekil 5’deki eşdeğer devreyi karşılaştırırsak, Şekil 10.a’daki C sığası ile belirli bir dengeleme koşulunun elde edilebileceğini anlarız. Bununla beraber transistörün $r_{b'h}$ baz gövde direnci Şekil 10.b’de görüldüğü gibi bir hata elemanı olarak gelir.

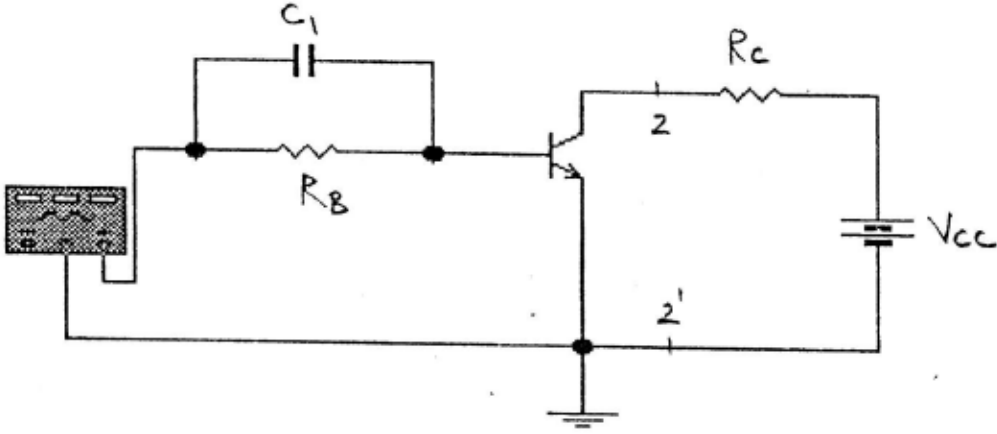


Şekil 9. Köprü ve denge koşulu

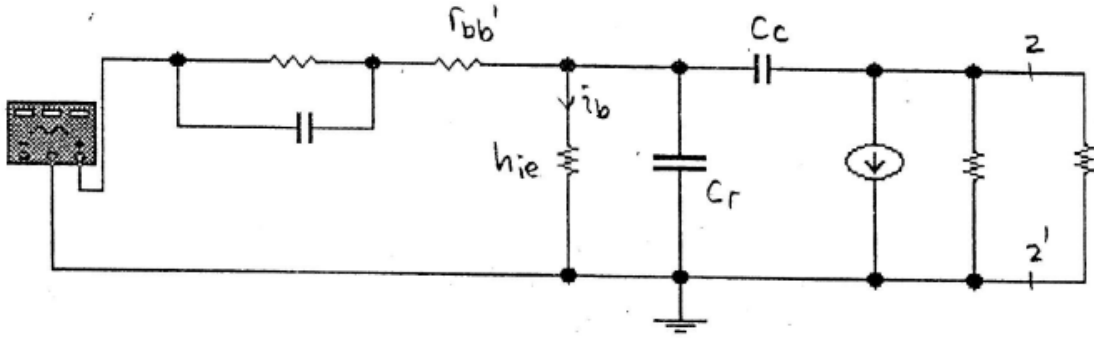
$$\frac{R_1}{R_2} = \frac{X_{C1}}{X_{C2}}$$

olursa A ve B eş gerilimde olur. X_{CD} eşdeğer difüzyon sığası reaktansı ise

$$X_{C1} = \frac{X_{CD} R_B}{r_{ie}}$$



Şekil 10.a



Şekil 10.b Lineer bölgede devre eşdeğeri

Yukarıda verilen eşdeğer devre ve çözüm sadece kesim ve lineer aralıkta geçerlidir. Doyma durumunda I_B akımı arttıkça C_D büyür. Bu nedenle yük dengeleme işlemi yapılmalıdır. Transistör katalogları I_{BS} akımına bağlı olarak Q_T yükünü verirler ($Q_T = Q_{BS} + Q_{BA}$).

En uygun C_1 sığası;

$$\frac{Q_T}{I_{BS}} = T_s = R_{\epsilon B1}$$

olmalıdır. $Q_T = C_1 V$; V giriş darbe gerilimi bağıntılarından bulunan R, C olur. Eğer Şekil 8'deki tedbir ile aşırı doyma önlenirse, köprü modeli ile çözümleme C_e (difüzyon + geçiş sığası) nin bilinmesi ile yapılabilir. Doğal olarak büyük I_c akımlarında çalışan devrelerin h_{ie} ve T_s 'leri küçük olacağı için hızları yüksek olur.

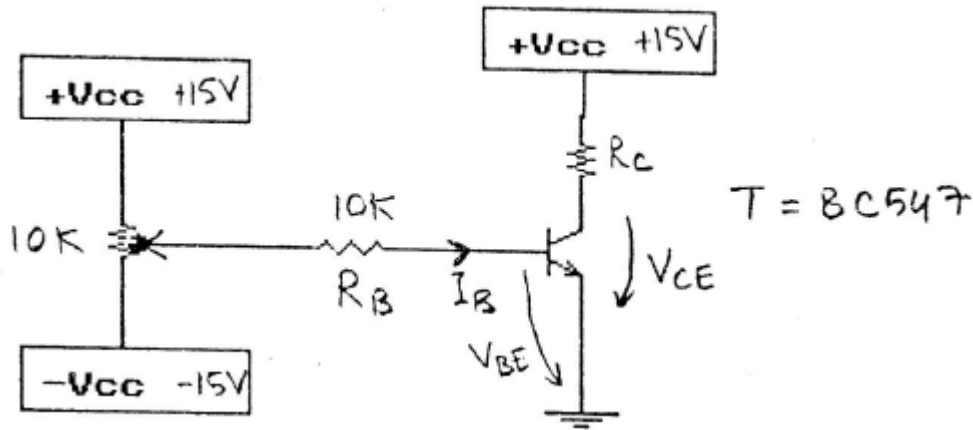
7. Deney Hazırlığı

1. Transistörle ilgili teorik bilgilerinizi tekrarlayınız.
2. Transistörün en popüler uygulama alanlarına örnek olarak yükselteç ve anahtarlama devreleri örnek olarak verilmektedir. Transistörün elektronik anahtar olarak kesim ve doyum bölgelerindeki çalışmasından yararlanılır. Bu bölgelerdeki özellikleri araştırınız.

3. Transistör hangi durumda açık anahtar gibi davranır, öğreniniz.
4. Transistör hangi durumda kapalı anahtar gibi davranır, öğreniniz.
5. Transistörün kararlılığını bozan faktörler neler olabilir, araştırınız.

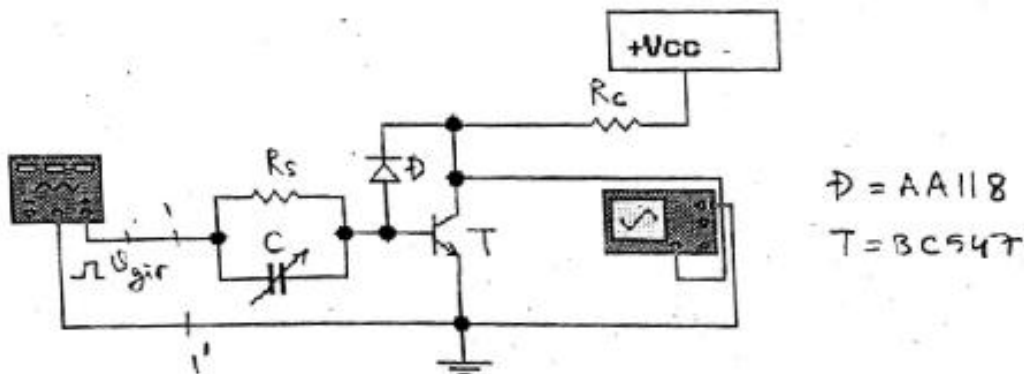
8. Deney Tasarımı ve Uygulaması

1. Şekil 11’de verilen devreyi $R_C = 1 \text{ k}\Omega$ değeri için kurunuz.
 - (a) Transistörü doymaya sokunuz ve doymada olduğunu 1. ve 2. Doyma kriterleri ile sağlayınız.
 - (b) Devreyi doyma eşğine getiriniz. P potansiyometresinin bu değerinden $+15 \text{ V}$ ’a kadar I_{BS} , I_{CS} , V_{CES} ’yi adım adım ölçüp, h_{fe} ’nin ve V_{CES} ’nin I_{BS} ile değişim eğrisini çıkartınız ve çiziniz.
2. (a) Şekil 11’deki devrede $R_C = 100 \text{ k}\Omega$ yapınız ve transistörü kesime sokunuz. Bunu $V_{CE} = V_{cc}$ ve $I_C = 0$ olduğunu izleyerek görünüz. V_{BE} ’nin, $I_C = 0$ yapan en büyük değerini ölçünüz. Baz-emetör eklemeni zener kırılmasına sokup hala $I_C = 0$ olduğunu gözleyiniz.
 - (b) Transistörün bazını açık devre bırakarak devrenin kesimden bir miktar uzaklaştığını ve ısıl karasız olduğunu gözleyiniz.



Şekil 11

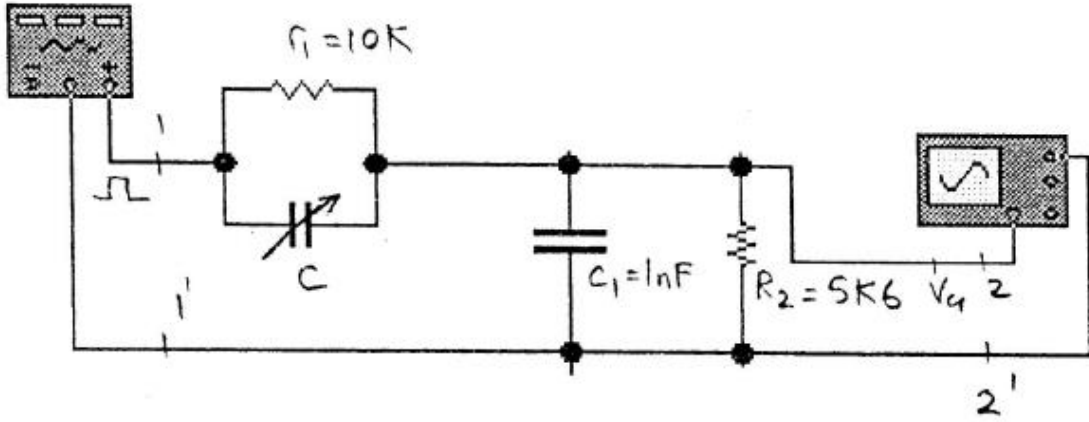
3. (a) Aşağıdaki devreyi $C = 0$ için kurup girişine 2kHz ’de kare dalga uygulayın. Giriş ve çıkış dalga şekillerini alt alta çizip, düşme ve yükselme sürelerini ölçünüz.



Şekil 12

(b) Şekil 12'deki devreyi kurunuz. $R_s = 0$, $R_1=100\Omega$ ve 470Ω için C dengeleme sığası ile minimum düşme, yükselme zamanlarını elde ediniz. Düşme ve yükselme zamanlarını ölçünüz.

4. Şekil 1.a'daki anahtar devresini $R_c = 4.7k\Omega$, $R_s=1 k\Omega$ ve $100 k\Omega$ değerleri için kurup, girişine darbe üretici bağlayınız. Giriş-çıkış dalga şekillerini ve darbenin düşme, yükselme ve uzama sürelerini ölçerek çiziniz.
5. 4. şıktaki deneyi R_s direncine C kondansatörünü paralel bağlayarak yük dengelemesi yapınız. Aynı eleman değerleri ile yükselme, düşme ve darbe üstü uzamalarını ölçünüz ve 4 ile karşılaştırınız.
6. 5. şıktaki deneyi $R_c = 470 k\Omega$ direnci için tekrarlayınız. Sonuçta darbe üstü uzaması, düşme ve yükselme sürelerinde oluşan değişimleri açıklayınız.
7. Şekil 13'te verilen devreyi kurunuz. 5. şıktaki deneyi tekrarlayınız ve sonuçları karşılaştırınız.



Şekil 13

9. Deney Soruları

1. Çıkış yükü endüktif olan bir anahtar devresinde ne tür koruma tedbirleri alınmalıdır? Bu tedbirleri almamızın nedenleri nelerdir?
2. Şekil 10.a'daki devrede $V_{cc} = 15 V$, $R_c = 1 k\Omega$, $R_B = 5 k\Omega$ dur. Kullanılan transistörde $h_{FE} = h_{fe} = 50$, $T_s = 0.4 \mu s$ ve $T_b = 1.2 \mu s$. Transistörün baz gövde direncini ve eklem sığasını ihmal ediniz. Bazda depolanan toplam Q_T yükünü ve bu yükü dengeleyen C paralel kondansatörünü $V_1 = 5V$ 'tan sıfıra giden bir giriş darbesi için hesaplayınız.

10. Deney Raporu

1. Deneyde yapılan ölçümleri ve deneylerde elde ettiğiniz çıkış şekillerini ölçekli olarak ilgili devreleri de belirterek düzgün olarak çiziniz.
2. Transistörün dört bölge karakteristik eğrilerinin çıkarılması bize hangi bilgileri verir, kısaca açıklayınız.
3. Deney esnasında sorulan soruları ve cevaplarını belirtiniz.



İŞLEMSEL YÜKSELTEÇLER

1. Giriş

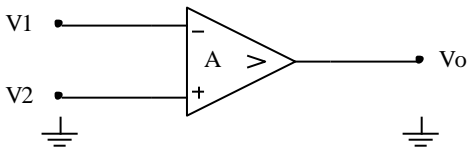
İşlemsel yükselteçler (operational amplifier = OpAmp) elektronik devrelerde yaygın olarak kullanılan elemanlardır. Değişik amaçlarla kullanılabilen bu elemanlar çalışma kolaylığı ile de avantaj sağlamaktadır. Deneyde, işlemsel yükselteçli devrelerin teorik olarak hatırlanarak pratik uygulamasının yapılması hedeflenmektedir.

2. İşlemsel Yükselteçler

İşlemsel yükselteçler ilk olarak analog hesap makinelerinde toplama, çıkarma, türev ve integral alma gibi işlemlerin hatalarını küçültmek amacı ile işlem (operasyon) elemanı olarak kullanılmak üzere düşünülmüş ve geliştirilmiştir. İşlemsel yükselteçler doğrudan doğruya bağlı katlardan oluştuğundan (yani katları bağlamak için kondansatör gerekmediğinden) entegre devre tekniği ile yapılmaya elverişlidirler. Bugün bu teknikle yapılan işlemsel yükselteçlerin fiyatı, bir güç transistörünün fiyatından daha azdır. Fiyatlardaki bu düşmenin yanında sürekli olarak kaliteleri de yükselmektedir. Bu eleman sadece analog hesap makinelerinde değil, ölçü ve kontrol düzenlerinde de çokça kullanılmaktadır.

İdeal bir işlemsel yükseltecin gerilim kazancı sonsuz, giriş empedansı sonsuz ve çıkış empedansı sıfırdır. Ayrıca osilasyon tehlikesi olmadan istenildiği kadar negatif geri besleme uygulanabilir. Pratikte bu koşulların tam olarak sağlanamayacağı açıktır. Fakat yaklaşık olarak bunların gerçekleştirildiğini kabul edebiliriz. (örneğin kazanç $2 \cdot 10^5$ kadar büyük olmalıdır). İdeal bir işlemsel yükselteçten yukarıda sayılanlardan başka özellikler de bekleriz. Bant genişlikleri sonsuz olmalı, çıkış gerilimi sıcaklıktan ve kaynak gerilimindeki değişimlerden etkilenmemelidir. Giriş gerilimi sıfır olduğunda, çıkış gerilimi de sıfır olmalıdır. Bu beklentiler hiçbir zaman tam olarak gerçekleşmeyecek olmakla birlikte, bunlara gittikçe daha çok yaklaşmaktadır.

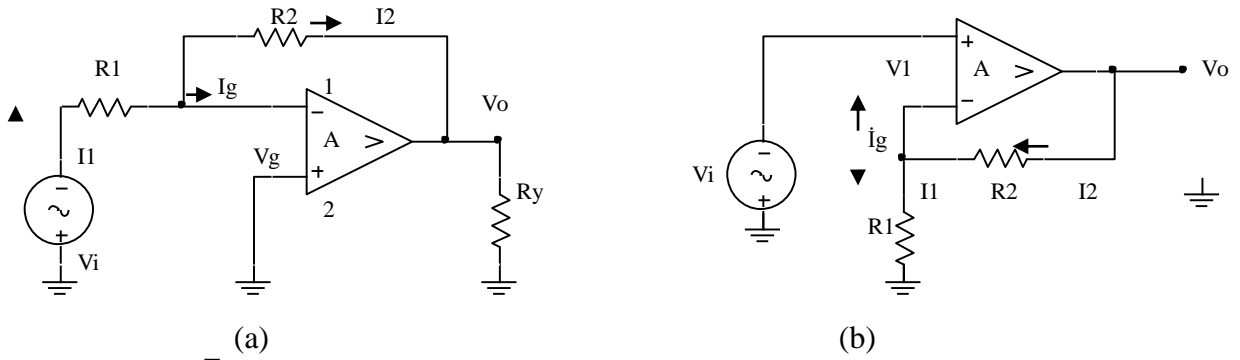
Alışılmış tip yükselteçlerin bir tek işaret girişi bulunurken, bazı kolaylıklar sağlayacağı için, işlemsel yükselteçlerin birbirine zıt fazda iki girişi vardır. İşlemsel yükselteçler şekil-1'deki gibi gösterilirler. Burada V_1 , V_2 toprak potansiyeline göre girişlere uygulanan gerilimleri, V_0 yükseltecin çıkış gerilimini, A yükseltecin kazancını gösterir.



Şekil 1. İşlemsel yükselteç modeli.

Burada $V_0 = A (V_2 - V_1)$ dir. Doğal olarak $A=100000$ ve $V_2 - V_1 = 1$ olan bir yükselteçte, çıkış geriliminin 100000 V olmasını beklemeliyiz. Çıkış gerilimi; işlemsel yükseltecin besleme gerilimi tarafından belirlenen bir maksimum değere kadar yükselir. Çıkış gerilimi için söz konusu en büyük gerilimin + 10V olduğunu düşünelim. Çıkışın bu değerde olması için, girişe uygulanabilecek fark gerilim $V_2 - V_1 = 10 / 10^5 \text{ V} = 10 \text{ mV}$ 'dur. Şayet girişe uygulanan gerilim farkı bundan büyük olursa çıkış daha fazla artmaz. Buna **işlemsel yükseltecin doyuma girmesi** denir.

Buraya kadar işlemsel yükselteçler genel özellikleri ile tanıtıldı. Şimdi bu elemanı kullanarak gerçekleştirilen bazı temel devreleri inceleyelim. İşlemsel yükselteçler hemen her zaman geri beslemeli olarak kullanılırlar.



Şekil 2 (a) Faz döndüren yükselteç (b) Faz döndürmeyen yükselteç

Şekil-2.a'da gösterilen "faz döndüren yükselteç"in kazancını bulmaya çalışalım. Bunu yaparken işlemlerin basitleşmesi için işlemsel yükseltecin ideal olduğunu kabul edeceğiz. $V_g = V_o / A$ dir. $A = \infty$ olduğundan, $V_g = 0$ olmak zorundadır. Yani şekil-2.a'daki işlemsel yükseltecin "—" ucu toprak potansiyelindeymiş gibi davranır ve buna **görünürde toprak potansiyeli** denir. Çok küçük olan bu V_g geriliminin, yükseltecin çok büyük (idealde sonsuz) olan giriş empedansı üzerinden akıtacağı akım (yani I_g) çok küçüktür ve $I_1 = I_2$ yazılabilir. O halde 1 ve 2 uçları arasında görülen empedans;

$$R_g = \frac{V_g}{I_1} = \frac{V_g}{I_2} = \frac{V_g/A}{(V_g - V_o)/R_2} = \frac{R_2}{1 - A}$$

olur. $A = \infty$ olduğundan, $R_i = 0$ dır. Yükseltecin girişindeki empedansın görünürdeki değeri sıfıra yakın olduğu halde, üzerinden hiç akım akmamaktadır. Geri besleme sebebiyle meydana gelen bu duruma **görünürde kısa devre** denir. Şekil- 2.a'dan aşağıdakiler çıkarılabilir.

$$V_i = R_1 I_1 \quad (V_g = 0 \text{ kabulüyle}) \quad I_1 = V_i / R_1$$

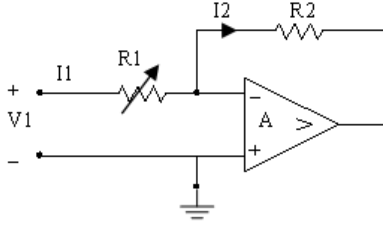
$$V_o = -R_2 I_2, \quad I_2 = -V_o / R_2$$

$$I_g = 0, \quad I_1 = I_2, \quad V_i / R_1 = -V_o / R_2$$

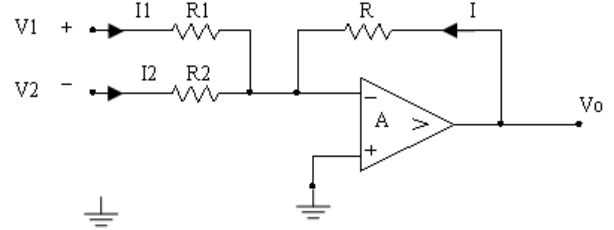
$$V_o / V_i = -R_2 / R_1 \implies V_o = -(R_2 / R_1) V_i$$

Sonuç oldukça ilginçtir. Devrenin kazancı sadece R_1, R_2 dirençleriyle belirlenmektedir.

$V_o = -(R_2 / R_1) V_i$ olduğu göz önüne alınırsa $R_1 = \text{sabit}$ tutulduğunda, R_2 'yi değiştirerek çıkış gerilimini değiştirebiliriz. Devre bu haliyle bir gerilim kaynağı gibi düşünülebilir (gerilim kaynağının alabileceği değerlerin hangi aralıkta olduğunu düşünün). Devre küçük bir değişiklikle akım kaynağı (şekil-3.a'daki gibi) olarak da kullanılabilir.



Şekil 3.a Akım kaynağı



Şekil 3.b Toplama devresi

$V_1 = \text{sabit}$ ise yük direncinden akan akımın değeri sadece R_1 direncine bağlı olur. Böylece R_2 yük direncinden akıttığı akımın ayarlanabildiği bir akım kaynağı elde edilmiş olur.

Faz döndüren yükselteçten analog hesap makinesinde çokça kullanılan toplama devresine geçmek kolaydır. Böyle bir toplama devresi şekil-3.b'de gösterilmiştir. Toplama devresi için çıkış gerilimini V_1 ve V_2 gerilimleri cinsinden hesaplayalım.

$$I = I_1 + I_2$$

$$V_1 = R_1 I_1 \implies I_1 = V_1 / R_1$$

$$V_2 = R_2 I_2 \implies I_2 = V_2 / R_2$$

$$V_o = R I \implies I = V_o / R$$

$$\frac{-V_o}{R} = \frac{V_1}{R_1} + \frac{V_2}{R_2} \implies V_o = - \left(\frac{R}{R_1} V_1 + \frac{R}{R_2} V_2 \right)$$

elde edilir. Görüldüğü gibi çıkış gerilimi, girişlere uygulanan gerilimlerin belirli oranlarda toplamıdır. Özel olarak $R = R_1 = R_2$ ise $V_o = - (V_1 + V_2)$ olur.

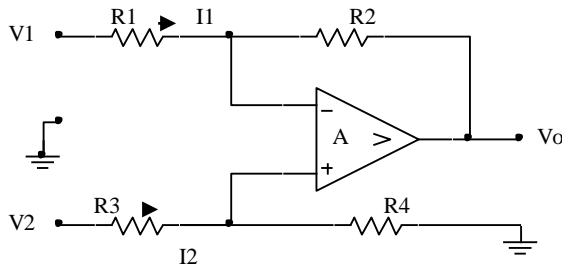
Şekil-2.a'daki devre şekil-2.b'deki gibi düzenlenirse, faz döndürmeyen yükselteç elde edilir. Şekilden de görüleceği gibi çıkışın bir kısmı R_1, R_2 geri besleme dirençleri ile girişe uygulanmıştır. İşaret kaynağı ise girişe bağlıdır. Yine önceki kabulleri kullanarak çıkışla giriş arasındaki bağıntı hesaplanabilir.

$$V_i = V_1, \quad I_1 = I_2, \quad I_1 = V_1 / R_1, \quad I_2 = V_o / (R_1 + R_2)$$

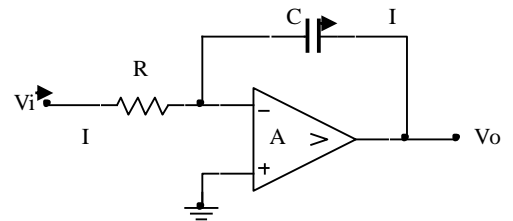
$$\frac{V_o}{R_1 + R_2} = \frac{V_1}{R_1} = \frac{V_i}{R_1} \implies \frac{V_o}{V_i} = \frac{R_1 + R_2}{R_1} \implies V_o = \left(\frac{R_1 + R_2}{R_1} \right) V_i$$

Devrenin kazancı pozitifdir. Yani faz dönmesi yoktur. Kazanç sadece geri besleme dirençlerinin değerine bağlıdır, her zaman 1 den büyüktür. Ancak $R_1 = \infty$ olursa veya $R_2 = 0$ ise kazanç 1 olur. Bu devrenin giriş empedansı çok büyük, çıkış empedansı çok küçüktür. Devre bu haliyle iki devreyi birbirinden izole etmeye yarar.

İki gerilimin farkı ile orantılı çıkış veren bir devre şekil-4.a'da gösterilmiştir.



Şekil 4.a Fark Yükseltici



Şekil 4.b İntegral alıcı devre

Bu devrede çıkış geriliminin girişlere göre ifadesi şu şekildedir;

$$V_o = V_1 - (R_1 + R_2) I_1$$

$$V_1 - R_1 I_1 - R_2 I_2 = 0 \implies I_1 = (V_1 - R_2 I_2) / R_1$$

$$I_2 = \frac{V_2}{R_3 + R_4} \implies I_1 = \frac{V_1 - R_4 \left(\frac{V_2}{R_3 + R_4} \right)}{R_1}$$

$$V_0 = \frac{(R_1 + R_2) R_4}{(R_3 + R_4) R_1} V_2 - \frac{R_4}{R_1} V_1$$

Bu devrede $R_1 = R_2 = R_3 = R_4$ ise $V_0 = V_2 - V_1$ olur.

Buraya kadar incelediğimiz devrelerde, geri besleme kolları saf omik elemanlarından oluşmaktaydı. Bunların saf omik olmasını gerektiren bir zorunluluk yoktur. Şekil-4.b’de çıkış ile giriş arasında bir kapasitenin bulunduğu faz döndüren bir devre verilmiştir. Bu devrede giriş ve çıkış arasındaki bağıntının ne olduğunu görelim.

$$V_i = R I, \quad I = -C (dV_o / dt)$$

$$V_i = -RC (dV_o / dt)$$

$$V_o = \frac{-1}{RC} \int V_i dt + V_o(0)$$

Elde edilen bağıntıdan görüldüğü gibi, çıkış gerilimi giriş geriliminin integrali ile orantılıdır. Yani devre integral almaktadır. İntegral alıcı devre, doğaldır ki, sonsuz zaman üzerinden integral almayacaktır. Devrenin integral alma süresi R, C elemanlarıyla belirlenen zaman sabiti ile orantılıdır. Siz de Şekil-4.b’de verilen devrede R ve C elemanlarının yerlerini değiştirerek, oluşan devrenin türev aldığını gösteriniz.

Bir işlemsel yükselteçte her iki girişteki (+ ve -) gerilimler, toprak potansiyeline göre birbirine eşit olabilir. e_{cm} ortak mod gerilimi bu gerilimlerin ortalaması olarak tanımlanır. “ - “ uçtaki gerilime e_1 , “ + “ uçtakine e_2 denirse;

$$e_{cm} = (e_1 + e_2) / 2$$

İdealde bir işlemsel yükselteç sadece $e_2 - e_1$ fark gerilimine cevap verir. Pratikte ise yükselteçlerde e_{cm} ve ortak mod giriş gerilimleri için hiçbir çıkış vermez. Pratikteki yükselteçlerde e_{cm} ortak mod gerilimi de e_{ocm} gibi bir çıkış gerilimine neden olur. Bu gerilim ortak mod gerilim kazancı;

$$A_{cm} = e_{ocm} / e_{cm}$$

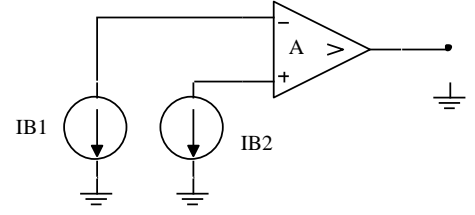
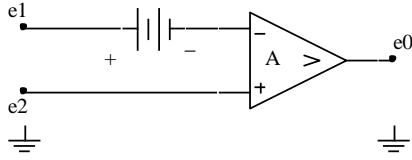
şeklinde tanımlanır. Çıkıştaki toplam gerilim $e_o + e_{ocm}$ olur. Ortak mod geriliminin çıkışı etkilememesi için A_{cm} mümkün olduğu kadar küçük tutulmaya çalışılır. Bunun ölçüsü de ortak mod zayıflatma oranıdır (Common-Mod Rejection Ratio, CMRR). Ortak mod zayıflatma oranını, açık çevrim fark kazancının ortak mod kazancına oranı olarak tanımlamak alışılmıştır.

$$CMRR = A / A_{cm} \quad CMRR (dB) = 20 \log (A / A_{cm})$$

CMRR mümkün olduğu kadar büyük olmalıdır. 741’de 90 dB, diğerlerinde ise 100 dB’den büyüktür. A_{cm} modele eklenmek istenirse şekil-8.a’daki devre elde edilir. CMRR işaret seviyesinin lineer bir fonksiyonu değildir.

İdeal işlemsel yükselteçlerin girişinden akım akmadığını kabul etmiştik. Pratikte çok küçük de olsa (ölçülmesinde güçlük çekilecek kadar küçük), işlemsel yükselteçlerin girişlerinden bir akım akar. Bu akımlar, giriş katlarındaki yükseltme elemanlarının sebep olduğu baz veya kapı akımlarıdır. Bu DC kutuplama akımları şekil-9.b’de olduğu gibi birer akım kaynağı şeklinde modele eklenebilir.

$$e_{cm} / CMRR$$



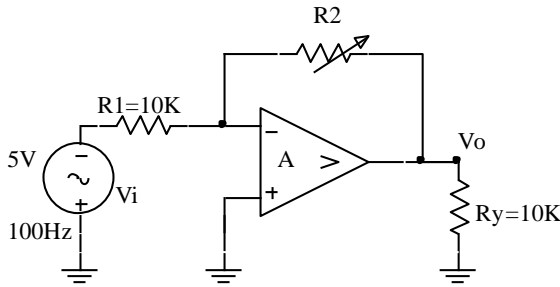
Şekil 5.a A_{cm} 'nin modele eklenmesi **Şekil 5.b** Kutuplama akımlarının modele eklenmesi

4. Deney Hazırlığı

1. İşlemsel yükselteçlerle ilgili teorik bilgilerinizi tekrarlayınız.
2. Kapasitenin ve zener diyotunun çalışma prensibini hatırlayınız.
3. Deney sorularının çözümlerini araştırınız.
4. Ekte verilen entegrenin (741) bacak bağlantılarını inceleyiniz.

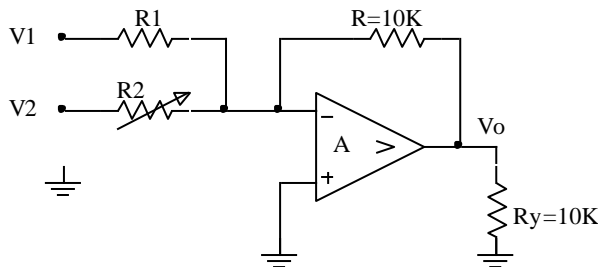
5. Deney Tasarımı ve Uygulaması

1. Deneyde kullanılan işlemsel yükseltecin "+" ve "-" giriş uçlarını toprağa kısa devre edip gerekli besleme gerilimlerini (+15 V ve -15 V) uygulayarak, çıkış geriliminin sıfır olup olmadığını kontrol ediniz.



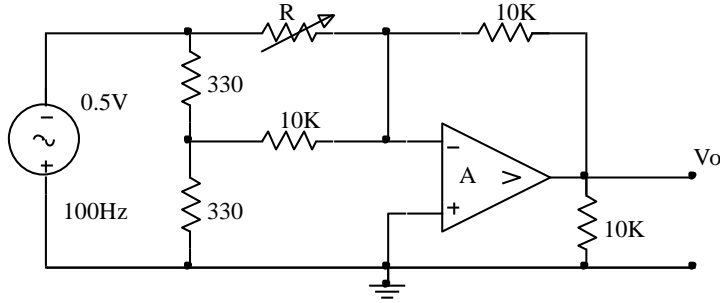
Şekil 6.

2. Şekil-6'daki devreyi kurunuz. R_2 direncine 1K, 10K, 33K, 47K, 68K, 100K değerlerini vererek her defasında V_o çıkış gerilimini ölçünüz. Her konum için giriş ve çıkış işaretini çift kanallı bir osiloskop yardımıyla inceleyiniz. R_2 'nin herhangi bir değeri için çıkışı ölçekli olarak çiziniz.



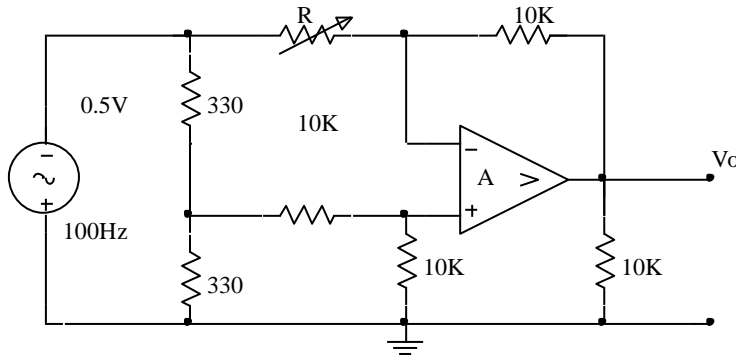
Şekil 7.

3. Şekil-7'deki devreyi kurunuz. V_1 ve V_2 gerilimleri 1V genlikli, 100Hz frekanslı, biri kare dalga, diğeri sinüs olan işaretlerdir. $R_1 = 33K$ 'dır. R_2 direncine 1K, 10K, 33K ve 100K değerlerini vererek R_y üzerindeki çıkış gerilimlerini inceleyiniz ve ölçekli olarak çiziniz.



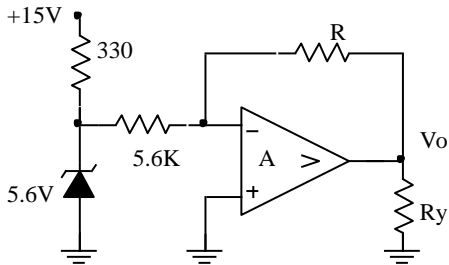
Şekil 8.

4. Şekil-8'deki devreyi kurunuz. R direncine 4.7K, 5.6K, 6.8K, 10K, 22K, 33K ve 47K değerlerini verip çıkış gerilimlerini inceleyiniz. Deneye gelmeden önce, $R = 10K$ ve 33K için çıkış geriliminin ne olması gerektiğini hesaplayınız ve bu değerler için giriş ve çıkışı ölçekli olarak çiziniz.

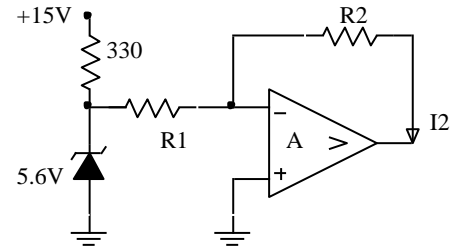


Şekil 9.

5. Şekil-9'daki devreyi kurunuz. Devrenin ne devresi olduğunu deneye gelmeden önce düşünün. R direncine 4.7K, 6.8K, 10K ve 33K değerlerini vererek V_o çıkış gerilimini ölçünüz. Giriş ve çıkış işaretlerini osiloskop yardımıyla inceleyiniz. R nin herhangi bir değeri için giriş ve çıkış işaretlerini ölçekli olarak çiziniz.



Şekil-10.a

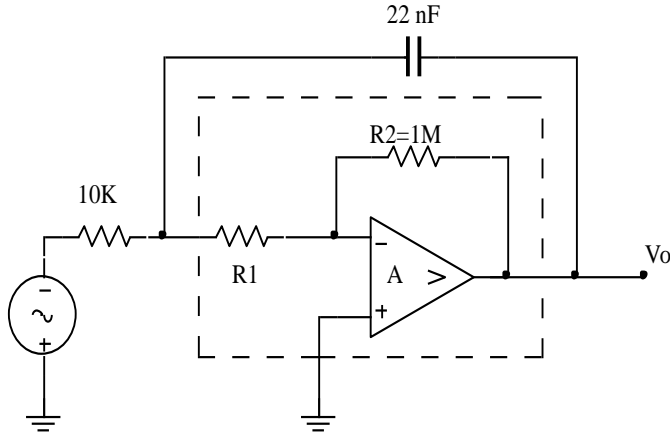


Şekil-10.b

6. Şekil-10.a'daki devreyi kurunuz. Önce $R_y=10K$ değerinde sabit tutarak R direncinin değerini 0.5K, 4.6K, 15K yaparak V_o gerilimini ölçünüz. Bundan sonra $R = 10K$ olarak sabit tutarken R_y yük direncine 2.2K, 4.7K, 6.8K, 10K değerlerini vererek çıkış

gerilimini inceleyiniz. (NOT: Deney boyunca R_y direncinin 1K dan küçük olmamasına özellikle dikkat ediniz.)

- Şekil-10.b'deki devreyi kurunuz. R_2 direncini 100 Ω değerinde sabit tutup , R_1 direncine 170K, 2K, 5.6K, 10K değerlerini verip her seferinde I_2 akımını ölçünüz. (Deney boyunca I_2 akımının 15 mA dan fazla olmasına izin vermeyiniz). Bundan sonra R_1 direncini 1K da sabit tutarak R_2 direncine 220 Ω , 330 Ω , 560 Ω , 1K ve 2.2K değerlerini vererek I_2 akımını ölçünüz.

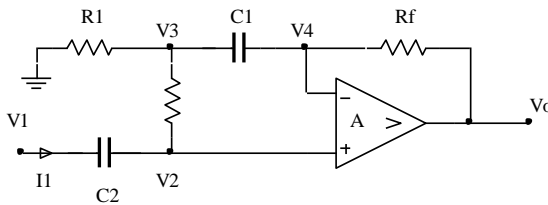


Şekil 11.

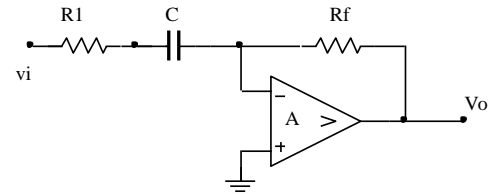
- Şekil-11'deki devrede $R_2=1M$ olduğuna göre, geribeslemeli yükseltecin kazancı -1000 olacak şekilde R_1 direncinin değerini hesaplayınız. Sonra girişe 100Hz lik 0.5 V genlikli kare dalga, sinüs işaretleri uygulayarak, giriş ve çıkış işaretlerini aynı zaman ekseninde ölçekli olarak çiziniz.
- Şekil-11'deki devrede 10K lık dirençle 22nF lık kondansatörün yerlerini değiştirip deneyi tekrarlayınız.

6. Deney Soruları

- Şekil-12.a'daki işlemsel yükselteçli devrede V_1 giriş gerilimini, I_1 giriş akımını göstermektedir. Devrenin çıkış gerilimini ve giriş direncini hesaplayınız. C_1 ve C_2 'nin değişken olmasına göre giriş direncini irdeleyiniz.

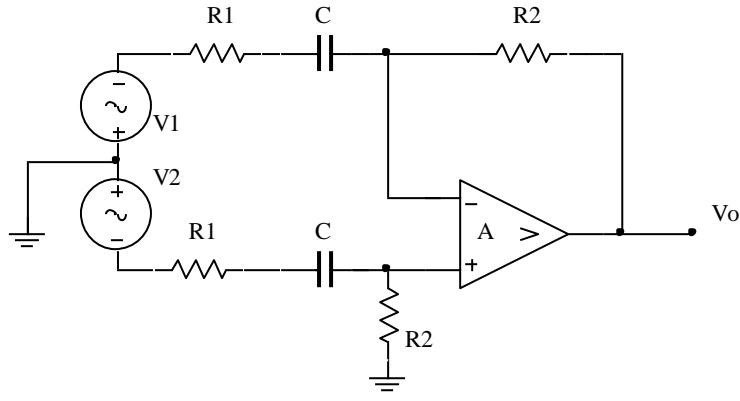


Şekil 12.a



Şekil 12.b

- Şekil-12.b'de verilen devrede yükseltecin alt kesim frekansını bulunuz. (S domeninde çalışma önerilir.)
- Şekil-13'deki devrede, fark giriş gerilimine ($V_1 - V_2$) göre kazancı hesaplayınız.



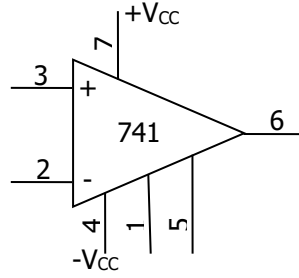
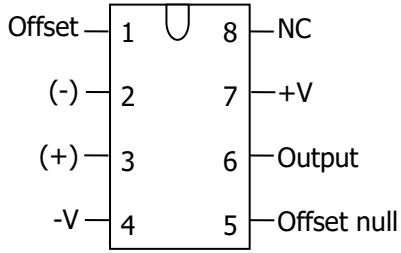
Şekil 13.

7. Deney Raporu

1. Deneyde işlenen teorik konuları (föyden bağımsız olarak) kısaca anlatınız.
2. Deney esnasında sorulan sorulara verilen cevaplardan aldığımız notları rapora aktarınız.
3. Deneylerde elde ettiğiniz çıkış şekillerini ölçekli olarak ilgili devreleri de belirterek düzgün olarak çiziniz.

8. Ekler

Deneyde kullanılan yükseltecin (741) bacak bağlantıları aşağıdaki gibidir.



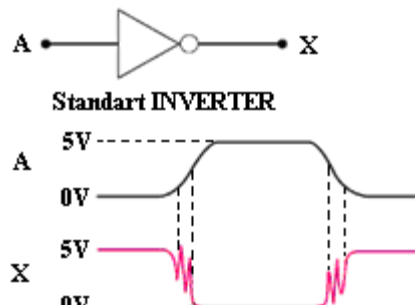


SCHMITT TETİKLEME DEVRESİ

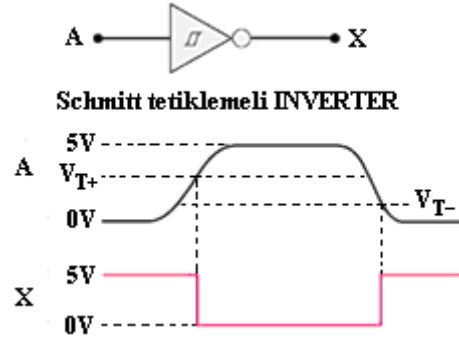
1. Giriş

Schmitt Tetikleme Devresi (STD) hem alçak seviyede hem de yüksek seviyede çıkış verebilen iki konumlu bir devredir. STD'nin en önemli uygulaması yavaş değişen bir işaretten hızlı değişen bir dalga şeklinin elde edilmesidir. Bu yol içinde STD ile sinüzoidal işaretten bir kare dalga üretilebilir. Devrenin diğer bir önemli özelliği ise gerilim geçiş eğrisinin, giriş işaretinin değişim yönüne bağlı olarak farklı konum değiştirme değerlerine sahip olmasıdır. Söz konusu olaya histerisiz, giriş geriliminin çıkışta konum değişikliğine neden olan iki değerinin farkına ise histerisiz gerilimi adı verilir. Bu nedenle STD bir seviye detektörü olarak kullanılabilir.

Schmitt devresinin işaret iyileştirme gibi çeşitli uygulama alanları vardır. Örneğin, standart bir inverter, yavaş değişen bir giriş işaretine karşılık salınımlı (dalgalı) bir çıkış verirken, Schmitt tetiklemede seviyeler arası geçişin hızlı ve net olduğu bir çıkış elde edilir. İki lojik seviye arasındaki geçişi uzun zaman alan bir giriş işareti için standart inverter'in davranışı Şekil 1'de gösterilmiştir. Şekil 2 ise aynı işarete Schmitt tetiklemeli inverter'in verdiği çıkışı gösterir (V_{T-} ve V_{T+} , STD'nin eşik değerleridir).



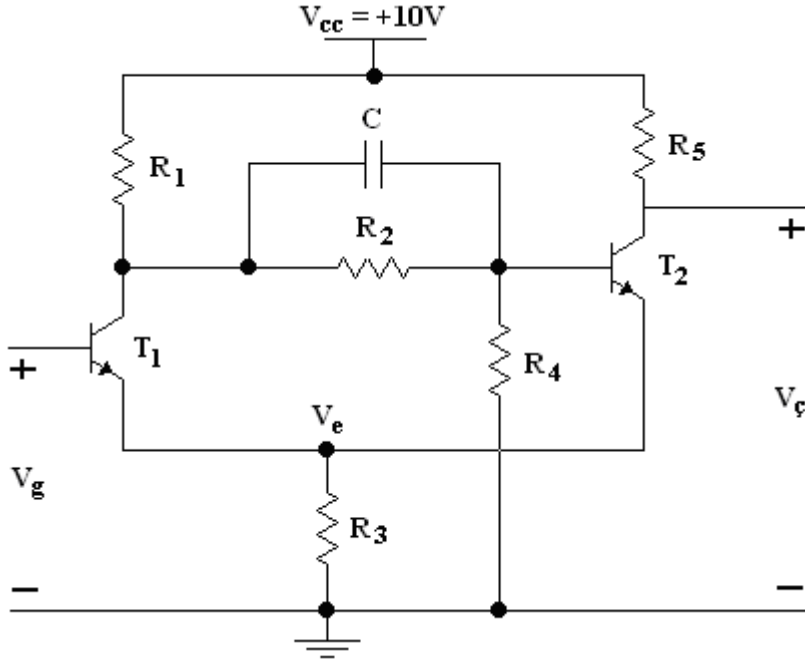
Şekil 1. Yavaş değişen bir kare dalga için standart inverter'in davranışı



Şekil 2. Yavaş değişen bir kare dalga için Schmitt tetiklemeli inverter'in davranışı

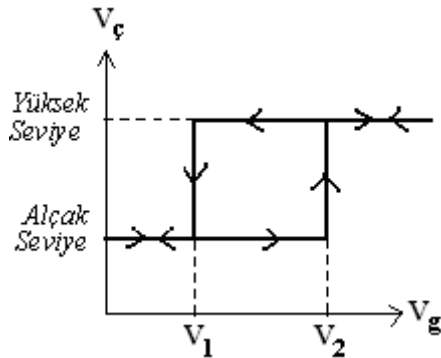
2. Transistörlü Schmitt Tetikleme Devresi

STD'ler hem transistor hem de işlemsel yükselteç ile gerçekleştirilebilmektedir. Şekil 3'de bir transistorlu STD verilmiştir. Bu devreye aynı zamanda, pozitif geri besleme emetördeki R_3 direncinden ($V_e = V_{R3}$) dolayı meydana geldiği için emetör-bağlamalı ikili devre (emitter-coupled binary circuit) denir.

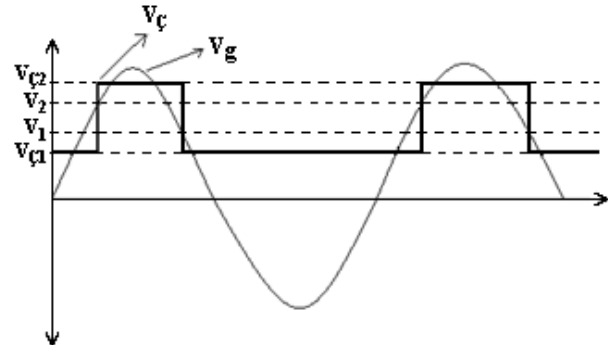


Şekil 3. Transistorlu STD

Şekil 4’de devrenin geçiş özeğrisi verilmiştir. Tetikleme noktaları arasında ($V_2 - V_1$) gibi bir histerisiz gerilimi vardır. Böyle devrenin girişine sinüzoidal bir işaret uyguladığımızda çıkışta Şekil 5’teki gibi bir kare dalga elde edilir. Aşağıdaki anlatımlarda V_e gerilimi, T_1 iletimde iken V_{e1} ve T_2 iletimde iken V_{e2} ile temsil edilmiştir.



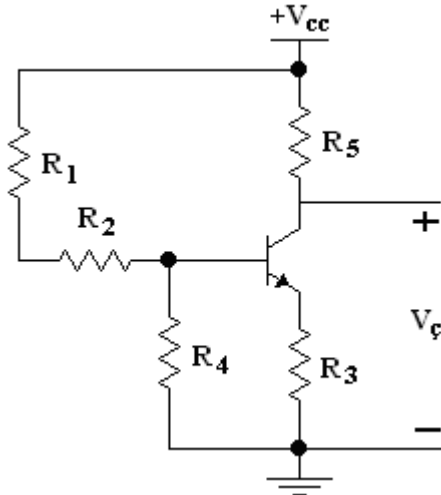
Şekil 4. Transistorlu STD özeğrisi



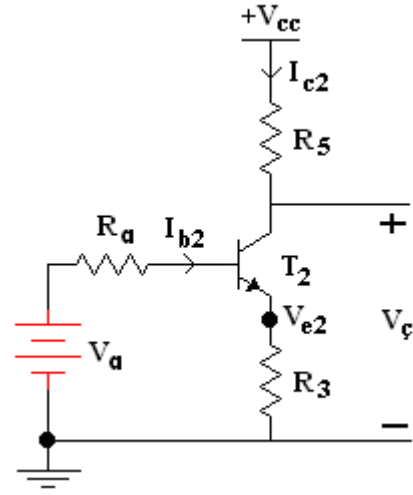
Şekil 5. STD’nin çıkışındaki işaret

Şekil 5’teki giriş ve çıkış işaretlerini inceleyelim. $V_g \leq V_2$ olduğu sürece STD alçak seviyede kalır. $V_g \geq V_2$ olduğunda çıkış gerilimi yüksek seviyeye ulaşır. Bir seviyeden diğer seviyeye geçiş (anahtarlama olayı) çok hızlıdır ve R_3 direnci üzerinden gelen pozitif geri beslemeye bağlıdır. Bu iki tetikleme noktası genelde aynı değildir. Çıkış T_2 ’nin kolektöründen alınır. Eğer T_2 kesimde ise $V_{ç} = V_{cc}$, yani yüksek seviye olur. T_2 iletimde ise $V_{ç} = V_{ce2} + V_{e2}$, yani alçak seviye olur. Çıkışın alçak veya yüksek olması T_2 ’nin iletimde veya kesimde olması ile belirlenir.

Şekil 3'te $V_g = 0$ olduğunu kabul edelim. T_1 'in bazı, toprak potansiyelindedir. Emetörü baza göre pozitif olduğundan T_1 tıkalıdır. V_{CC} , R_1 , R_2 ve R_4 'den dolayı T_2 iletimde, dolayısıyla V_{e2} 'de bir gerilim meydana gelmektedir. Bu durumda devrenin eşdeğeri Şekil 6'da görülmektedir. T_1 kesimde olduğu için emetöründen hiç akım akmayacak ve R_3 yalnız T_2 'nin emetöründe görülecektir. Thevenin eşdeğeri ile Şekil 6'daki devreyi daha da basitleştirerek Şekil 7'deki elde edebiliriz. Sürekli durumda C kondansatörü tamamen dolduğundan devre dışı bırakılabilir.



Şekil 6. T1 tıkalı ve T2 iletimde iken STD ($V_g = 0$)



Şekil 7. Şekil 6'daki devrenin Thevenin eşdeğeri

Burada, Thevenin elemanları R_a ve V_a

$$R_a = \frac{(R_1 + R_2)R_4}{R_1 + R_2 + R_4}, \quad V_a = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} \quad (1)$$

ifadeleri ile hesaplanır ve normal olarak T_2 transistörünü aktif bölgede tutacak değerlerde olmaları gerekir. T_2 aktif bölgede olduğu sürece baz akımı I_{b2}

$$V_a = I_{b2}R_a + V_{be2} + V_{e2} \quad (V_{e2} = I_{e2}R_3) \quad (2)$$

eşitliğinden bulunabilir (V_{be2} , T_2 transistörünün eşik gerilimi olup 0.7 V değerine sahiptir).

I_{e2} yerine

$$I_{e2} = I_{b2} + I_{c2} = (1 + h_{fe2})I_{b2} \quad (I_{c2} = h_{fe2}I_{b2}) \quad (3)$$

ifadesi kullanılırsa, (2) denklemini yardımıyla

$$I_{b2} = \frac{(V_a - V_{be2})}{R_a + (1 + h_{fe2})R_3} \quad (4)$$

olacaktır (h_{fe2} , T_2 'nin akım kazancıdır ve 25 ile 1000 arasında bir değer alabilir). Çıkış gerilimi ise

$$V_{\zeta} = V_{\zeta1} = V_{CC} - I_{c2}R_5 = V_{CC} - \frac{h_{fe2}R_5(V_a - V_{be2})}{R_a + (1 + h_{fe2})R_3} \quad (5)$$

ile verilir. T_2 'nin baz akımı (I_{b2}) kolektör akımına (I_{c2}) göre çok küçük olduğundan ihmal edilirse, (1) ve (2) denklemlerinden

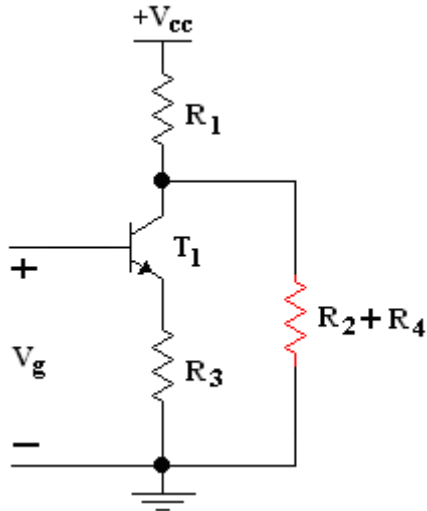
$$V_{e2} \cong V_a - V_{be2} = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} - V_{be2} \quad (6)$$

ifadesine ulaşılır. Bununla T_1 'in iletme geçmesi için gereken en küçük gerilim (bu aynı zamanda konum değiştirme gerilimidir) V_2 'yi hesaplayabiliriz.

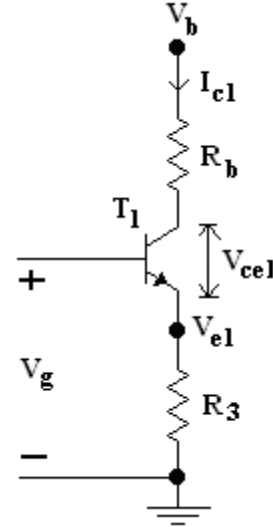
$$V_2 \cong V_{e2} + V_{be1} = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} \quad (7)$$

Şekil 3'te V_g 'nin artmaya başladığını düşünelim. $V_g > V_2$ olduğunda T_1 iletme geçer. T_1 'in kolektör gerilimi V_{ce1} azalır. V_{ce1} 'deki azalma T_2 'nin V_{be2} gerilimini azaltır ve T_2 daha az iletimde olur. T_2 'nin daha az iletimde olması I_{e2} akımını azaltır. T_1 'in iletme geçmesinden dolayı I_{e1} artar. I_{e1} 'deki artma I_{e2} 'deki azalmadan daha azdır. Bundan dolayı R_3 'deki toplam akım ve V_e gerilimi de azalır. V_e 'nin azalması T_1 'in V_{be1} gerilimini daha da artıracak ve T_1 'den akan akımlar artacaktır. Şimdi T_1 daha fazla iletimde olacak ve V_{ce1} gerilimi daha fazla azalacak, T_2 de daha az iletimde olacaktır. V_e gerilimi de daha fazla azalacaktır. Bu işlem pozitif geribesleme (*regenerative*) işlemidir ve çok kısa zamanda meydana gelmektedir. Yani T_1 çok hızlı doymaya ve T_2 çok hızlı kesime girer.

T_2 kesimde iken R_2 ve R_4 elemanları birbirine seri gelmekte olup STD'nin eşdeğer devresi Şekil 8'de verilmiştir. Bu devrenin Thevenin eşdeğeri ise Şekil 9'da gösterilmiştir.



Şekil 8: T2 kesimde iken STD



Şekil 9: Şekil 8'in Thevenin eşdeğeri.

Burada, Thevenin elemanları R_b ve V_b aşağıdaki gibi hesaplanır.

$$R_b = \frac{R_1(R_2 + R_4)}{R_1 + R_2 + R_4}, \quad V_b = \frac{R_2 + R_4}{R_1 + R_2 + R_4} V_{CC} \quad (8)$$

Çıkış gerilimi, T_2 kesimde olduğundan besleme gerilimine eşittir.

$$V_C = V_{C2} = V_{CC} \quad (9)$$

T_1 'in kolektör akımı (I_{c1}), baz akımını ihmal edilerek

$$I_{c1} \cong I_{e1} \cong \frac{V_b - V_{ce1}}{R_3 + R_b} \quad (10)$$

gibi yaklaşık olarak hesaplanabilir. T_1 doyma bölgesinde bulunduğu göre, V_{ce1} gerilimi 0.2 V yada 0.3 V civarındadır. Buradan V_{e1} gerilimi

$$V_{e1} \cong I_{e1} R_3 = \frac{R_3 (V_b - V_{ce1})}{R_3 + R_b} \quad (11)$$

olacaktır. T_1 'i doymada tutmak için gereken en küçük giriş gerilimi

$$V_1 = V_{e1} + V_{be1} \cong \frac{R_3 (V_b - V_{ce1})}{R_3 + R_b} + V_{be1} \quad (12)$$

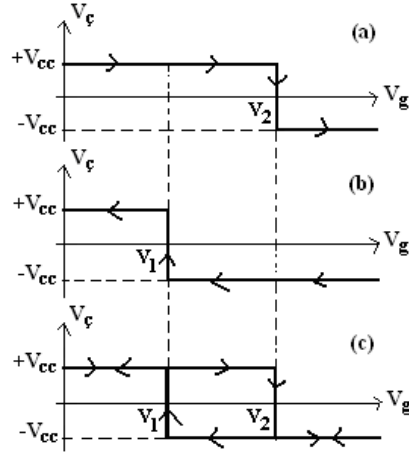
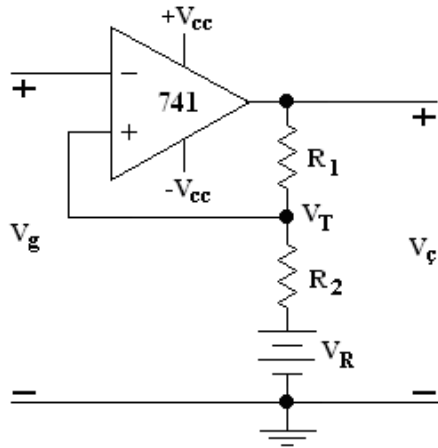
ile hesaplanır. V_g , V_1 geriliminden küçük olmadıkça T_1 doymada ve T_2 kesimde kalır. $V_g < V_1$ olduğunda pozitif geribesleme olayı tekrar meydana gelir. T_1 çok hızlı tıkanır, T_2 ilettime geçer ve STD çıkışı konum değiştirerek alçak seviye gider.

Yukarıda hesaplanan V_1 ve V_2 gerilimleri sırasıyla STD'nin eşik değerleri V_{T-} ve V_{T+} 'ye karşılık gelir. C elemanı anahtarlama olayında hız artırıcı bir kapasite işlevi görerek eşikler arası geçişi hızlandırır. T_2 genellikle aktif bölgede çalıştırıldığından anahtarlama olayı daha hızlı gerçekleşir. T_2 transistörünü aktif bölgede seçersek T_2 daha hızlı kesime dolayısıyla T_1 daha hızlı doymaya gidecektir. T_1 'in baz akımını sınırlamak için T_1 transistörünün bazına küçük değerli seri bir R_g direnci bağlayabiliriz.

Uygulamada genellikle $V_e > 1V$ ve $(V_2 - V_1) > 0.5V$ olması istenir. $(V_2 - V_1)$ 'in büyük olması pozitif geribeslemeyi artırır.

3. İşlemsel Yükselteçli Schmitt Tetikleyicisi

Şekil 10'da aktif eleman olarak işlemsel yükselteç kullanan diğer bir STD verilmiştir. Burada R_1 ve R_2 dirençleri vasıtasıyla pozitif geribesleme uygulanır. Kuramsal olarak çevrim kazancı $(-GK) = 1$ olursa geribesleme kazancı $K_{vf} = K / 1 + GK$ sonsuz olur. Bu ideal durumda çıkışın bir konumdan diğer konuma geçişi keskin olur. Yani sıfır yükselme zamanlı darbe oluşur ve STD histerisiz etkisi görülmez. Eğer $-GK > 1$ seçilirse çıkışın bir konumdan diğer konuma geçişi süresizlik gösterecek ve alt üst sıçrama noktasının gerilimleri arasında bir fark olacaktır. Uygulamada genellikle $-GK > 1$ seçilir.



Şekil 10. İşlemsel yükselteçli STD. **Şekil 11.** İşlemsel yükselteçli STD'nin geçiş özeliğrisi (a) V_g artarken, (b) V_g azalırken, (c) Toplam geçiş özeliğrisi

Bu devrede işlemsel yükselteç karıştırıcı olarak görev yapmaktadır. $V_g < V_1$ olduğunu kabul edelim. $V_ç \cong V_{cc}$ olacaktır. V_T gerilimi süperpozisyon teoremi kullanılarak Şekil 10'daki devreden hesaplanabilir.

V_g 'nin artmakta olduğunu varsayalım. $V_g = V_{T+} = V_2$ oluncaya kadar çıkış V_{cc} geriliminde kalacaktır. $V_g = V_{T-} = V_1$ olduğunda pozitif geribeslemeden dolayı çıkış $-V_{cc}$ değerini alacaktır ve $V_g > V_1$ olduğu sürece bu değerde kalacaktır.

$$V_{T+} = V_2 = \frac{V_ç - V_R}{R_1 + R_2} R_2 + V_R = \frac{R_2}{R_1 + R_2} V_ç + \frac{R_1}{R_1 + R_2} V_R$$

V_g 'nin şimdi azalmakta olduğunu varsayalım. $V_g = V_{T-} = V_1$ olduğu zaman Şekil 11'de görüldüğü gibi çıkış $V_ç$ gerilimine ulaşır.

$$V_{T-} = V_1 = \frac{R_1}{R_1 + R_2} V_R - \frac{R_2}{R_1 + R_2} V_ç$$

Histerisiz gerilimi ise

$$V_H = V_2 - V_1 = \frac{2R_2 V_ç}{R_1 + R_2}$$

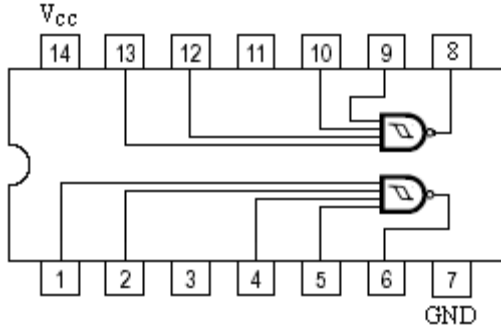
olacaktır.

4. TTL Schmitt Tetikleyicisi

4.1. 7413 dual 4-input NAND Schmitt Trigger

İki tane dört girişli NAND Schmitt Tetikleyicisi içerir. Bunlar yavaş değişen işaretleri keskin kenarlı işaretlere dönüştürürler. Ayrıca bilinen NAND kapılarına göre gürültüye karşı

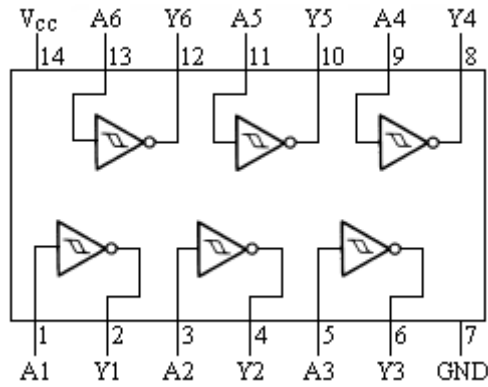
daha az duyarlıdır. Her bir kapı, yavaş giriş işaretlerinin hızını artırmak, pozitif ve negatif gidişli işaretler için farklı giriş eşik gerilimleri sağlamak amacıyla pozitif geribesleme için kullanır. Histerisiz gerilimleri 800 mV civarındadır. Şekil 12’de 7413’ün bacak bağlantısı ve geçiş özegrisi verilmiştir.



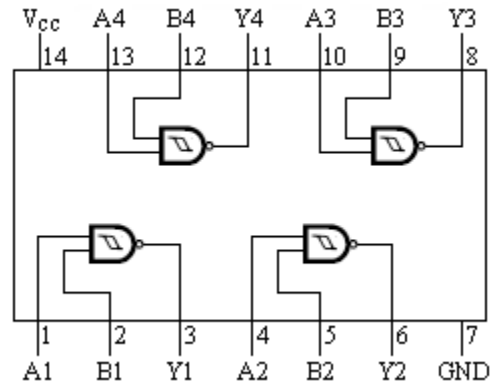
Şekil 12. 7413 bacak bağlantısı

4.2. 7414 ve 74132

Bu STD’ler uygulamada 7413 ile aynıdır. 7414 entegresi 6 tane Schmitt tetikleme invertör’ünden oluşur. 74132 ise iki girişli dört NAND STD’den oluşmuştur. Histerisiz gerilimleri 830 mV civarındadır. Şekil 13’te 7414 ve 74132’nin bacak bağlantıları verilmiştir.



Şekil 13. a) 7414’ün bacak bağlantısı



b) 74132’nin bacak bağlantısı

5. Deney Hazırlığı

1. STD’lerin farklı gerçeklemelerini ve uygulama alanlarını araştırınız.
2. Histerisiz (hysteresis) kavramını ve türlerini (elektriksel, manyetik vb.) araştırınız.
3. Şekil 3’teki STD’nin içerdiği elemanlar için örnek değerler belirleyiniz.
4. C kondansatörünün STD’deki konum değişikliklerini nasıl hızlandırdığını öğreniniz.
5. Şekil 10’daki işlemsel yükseltecin diğer uygulamalarını (türev, tümlev vb.) araştırınız.

6. Deney Tasarımı ve Uygulaması

1. Şekil 3’teki STD’nin çalışmasını, girişine bir sinüzoidal işaret uygulandığını varsayarak inceleyiniz.

2. T_1 'in ilettime geçmesiyle $V_{be2} < 0.7V$ olacağını ve dolayısıyla T_2 'nin kesime gideceğini çevre denklemleri yardımıyla kanıtlayınız.
3. V_1 ve V_2 değerlerinin farklı olmasını hangi devre elemanlarının sağladığını açıklayınız.
4. $V_{T-} = V_1 = 5V$ ve $V_{T+} = V_2 = 15V$ olacak şekilde transistorlu bir STD tasarlayınız.
5. C 'nin değeri seçimini hangi devre elemanlarının etkileyeceğini belirleyiniz.
6. Şekil 3'teki devrede $R_1 = 5K$, $R_2 = 27K$, $R_3 = 2K$, $R_4 = 25K$, $R_5 = 14K$ ve $C = 10pF$ olduğuna göre V_1 ve V_2 gerilimlerini hesaplayınız ($h_{fe2} = 150$ alınınız).
7. V_{C1} ve V_{C2} değerlerini hesaplayarak, $V_g = 20\sin wt$ giriş işaretine göre V_C 'nin değişimini çizin.
8. $f = 50$ Hz frekanslı giriş işareti için transistorların bir periyot boyunca ne kadar süre iletimde kaldıklarını hesaplayınız.
9. T_2 transistörü iletimde iken baz akımını göz ardı ederek, C 'de oluşacak en yüksek potansiyel farkını ve bunun için gereken zamanı bulunuz.
10. Şekil 10'daki devreyi $R_1 = R_2 = 10K$, $V_R = 5V$, $V_{CC} = 15V$ değerleri ile kurunuz ve çalışmasını inceleyiniz.

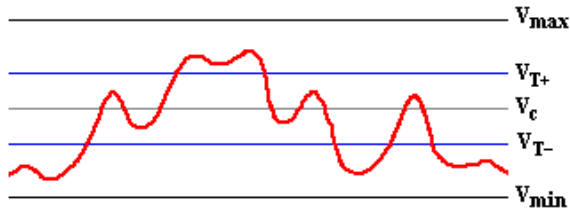


Şekil 14. UA741CN ve µA741C Op-Amp entegrelerinin bacak bağlantıları

11. Devre girişine $V_g = 20\sin wt$ uygulayarak çıkış işaretini osiloskop üzerinde gözlemleyiniz.
12. Çıkış işaretinin zaman ve genlik değerlerini ölçünüz.
13. Devreyi çözümlyerek V_1 ve V_2 değerlerini hesaplayınız ve çıkış işareti üzerindeki ölçümlerinizle karşılaştırınız.
14. V_R sabit geriliminin değişik değerleri için çıkış işaretini gözlemleyiniz.

7. Deney Soruları

1. Bir gürültülü iletişim kanalına ait Şekil 15'teki işaret; (a) V_C 'ye göre seviye algılayan bir devre ve (b) V_{T-} ve V_{T+} eşiklerine göre seviye algılayan bir STD ile sayısallaştırılırsa hangi işaretler elde edilir?



Şekil 15: Bir gürültülü iletişim kanalındaki sinyal

2. Yüksek kapasiteli bir C kondansatörü Şekil 3'teki STD'nin çalışmasını nasıl etkiler?
3. Şekil 3'teki C kondansatöründe oluşacak potansiyel farkının zamana bağlı değişimini ve en yüksek değerini STD'nin elemanları cinsinden hesaplayınız.
4. Şekil 3'teki devrede R_1 ile R_3 arasındaki ilişkiyi belirleyiniz.
5. Şekil 3'teki STD, bütün dirençler aynı değerde ve transistörler özdeş seçildiğinde nasıl davranır?
6. Şekil 9'da I_{c1} hesaplanırken T_1 'in akım kazancı olan h_{fe1} parametresi niçin kullanılmamıştır?
7. $V_{T-} = V_1 = -2\text{ V}$ ve $V_{T+} = V_2 = 12\text{ V}$ olduğu işlemsel yükselteçli bir STD tasarlayınız.
8. Şekil 10'daki devrede V_R sabit gerilim kaynağı yerine bir C kondansatörü bağlandığında, V_g sinüzoidal işaretine karşılık nasıl bir V_T işareti elde edilir?

8. Deney Raporu

1. STD'lerin çalışmasını ve uygulama alanlarını kısaca anlatınız.
2. Deney esnasındaki STD uygulamalarınızı anlatınız ve sonuçlarını yorumlayınız.
3. Transistörlü ve işlemsel yükselteçli STD'leri karşılaştırınız.
4. Deney sorularını cevaplandırınız.



LOJİK KAPILAR

1. Giriş

Sayısal bilgileri işleyecek şekilde tasarlanmış tümleşik devrelere (IC) lojik entegreler denir. İkili sistemdeki bilgileri işleyen bu tip entegreler, bilgisayar dünyasında lojik kapılar olarak adlandırılırlar. Lojik kapıların işlev yönünden 7 popüler çeşidi vardır: NOT, AND, NAND, OR, NOR, EX_OR ve EX-NOR.

Lojik entegreleri mantık gruplarına göre sınıflandırmak mümkündür: 1) RDL (direnc-diyot-lojik), 2) RTL (direnc-transistor-lojik), 3) DTL (diyot-transistor-lojik), 4) IIL (entegre-enjeksiyonlu-lojik), 5) TTL (transistor-transistor-lojik), 6) ECL (emetör kuplajlı lojik), 7) HTL (yüksek eşikli lojik), 8) MOS (metal-oksit yarı iletken) ve 9) CMOS (tümlemeli metal-oksit yarı iletken).

RTL, DTL, TTL, ECL, HTL ve IIL entegreleri, iki kutuplu eklem (bipolar junction) transistorlardan (BJT) oluşur. BJT, bilinen NPN ve PNP transistorlardır. MOS ve CMOS entegreleri, metal oksit yarı iletken, alan etkili transistörler diye bilinen, MOSFET transistorlardan oluşan entegrelerdir.

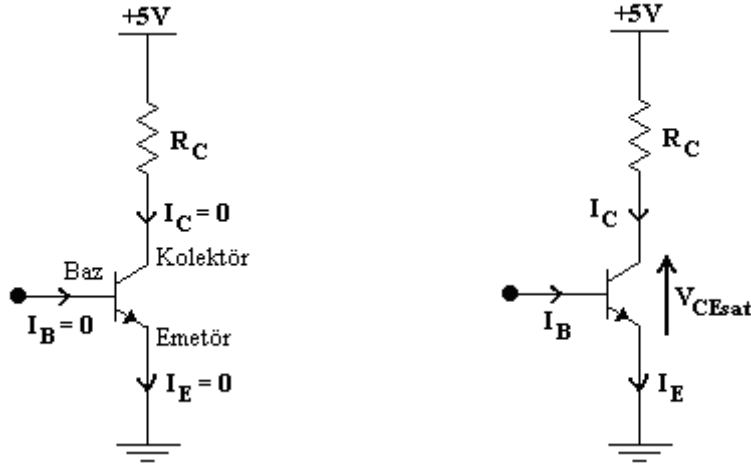
CMOS ailesi, kullandıkları transistorlardaki farklılıklardan dolayı TTL'e göre daha az güç harcar ve boyutları daha küçüktür. Ayrıca besleme kaynağı gerilimindeki değişmelere de daha az duyarlıdır.

Hız ve güç bu iki ailenin birbirinden ayırt edilmesine yarayan iki önemli parametredir. CMOS devrelerden ve MOS transistorlardan oluştuğundan eklem kapasitelerinin büyüklüğü hızlı çalışmalarını engeller. Ancak harcadıkları güç çok düşüktür. Günümüzde hızları oldukça yüksek seviyelere çıkarılan CMOS devreler, az güç harcadıklarından dolayı MSI (Medium Scale Integration) ve özellikle LSI (Large Scale Integration) yongalarda (chip) geniş ölçüde kullanılmaktadır.

Bu deneyde sayısal entegre devreleri ile lojik kapıların iç yapıları incelenmiştir.

2. Lojik Kapıların İki Kutuplu Transistor İle Gerçeklenmesi

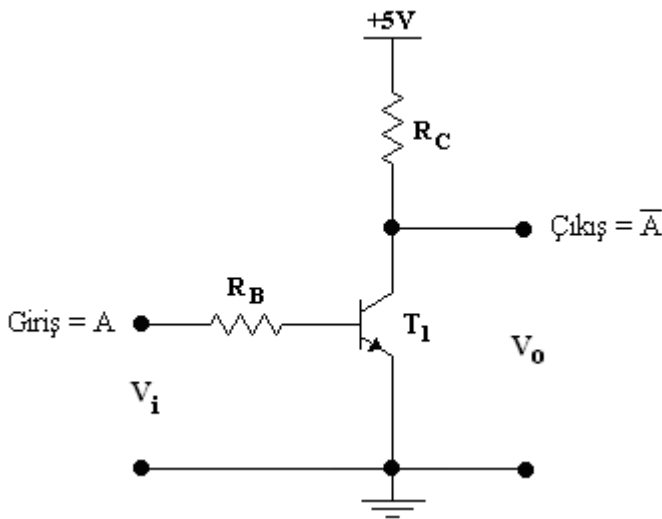
Lojik kapıların tasarımında transistorlar genellikle tam iletim (doyma) ya da tam kesim (kesim) durumlarında çalıştırılır. Bu işleviyle bir transistor, Şekil 1'de görüldüğü gibi bir anahtar ile aynı davranışı gösterir.



Şekil 1. İki kutuplu transistörün anahtar elemanı olarak davranışı

Baz akımı $I_B = 0$ A olduğu müddetçe, sızıntı akımları da ihmal edilirse, kolektör ve emetör akımları da $I_C = I_E = 0$ A olacaktır. Bu durumda transistorun kesimde olduğu ve emetör ile kolektör arası bağlantının açık olduğu bir anahtar gibi davranır. Kesim durumu genellikle baz ile emetör arasına $V_{BE} = 0$ V'un uygulanması ile sağlanır, ancak 0.6 V'un altında bir gerilim uygulanması da yeterlidir. Baz-emetör gerilimi 0.6 V'u aştığında ise baz akımı ile orantılı olarak kolektör akımı da artacaktır. Bu artış kutuplama direnci (R_C) üzerindeki gerilimi de artırır ve transistorun kolektör-emetör gerilimi (V_{CE}) düşmeye başlar. Baz akımı artmaya devam ettiği sürece kolektör ve baz akımı arasındaki orantısal ilişki korunamayacak ve kolektör gerilimi ve akımı yaklaşık olarak sabit kalacaktır. Bu durumda transistor doyuma ulaşır ve kapalı anahtar gibi davranır.

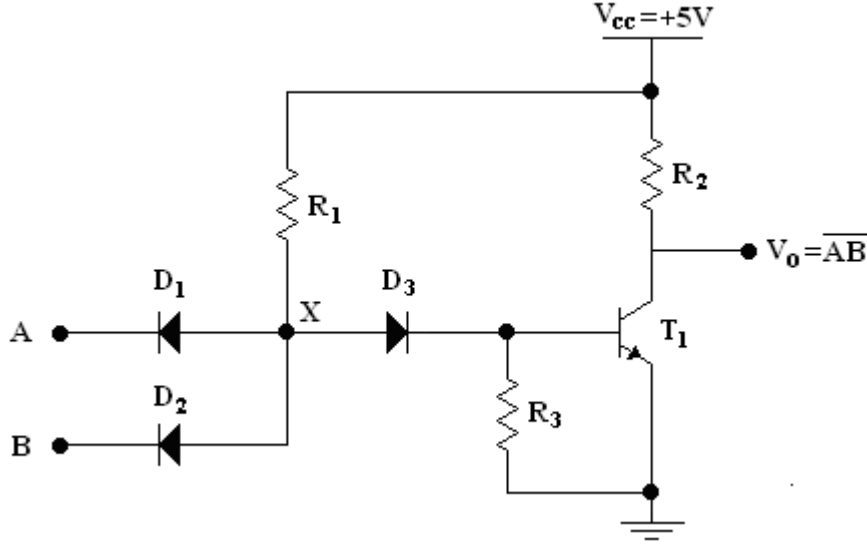
Şekil 2'de NOT kapısını gerçekleyen transistor devresi verilmiştir. Eğer giriş gerilimi $V_i = 0$ V ise baz ve kolektör akımı oluşmayacak ve kolektör gerilimi $V_o = 5$ V olacaktır. Giriş gerilimi, 0.7 V'tan yeterince büyük olduğu sürece transistor doyuma ulaşacak ve çıkış gerilimi 0.2 V'a düşecektir. Bu yüzden devre, çıkışın lojik-0 seviyesi 0.2 V ve lojik-1 seviyesi ise 5 V olan bir NOT kapısı gibi davranacaktır.



Şekil 2. NOT kapısı

3. DTL Kapılar

Diyot ve transistorlu bir mantık devresidir (Şekil 3).



Şekil 3. DTL NAND kapısı

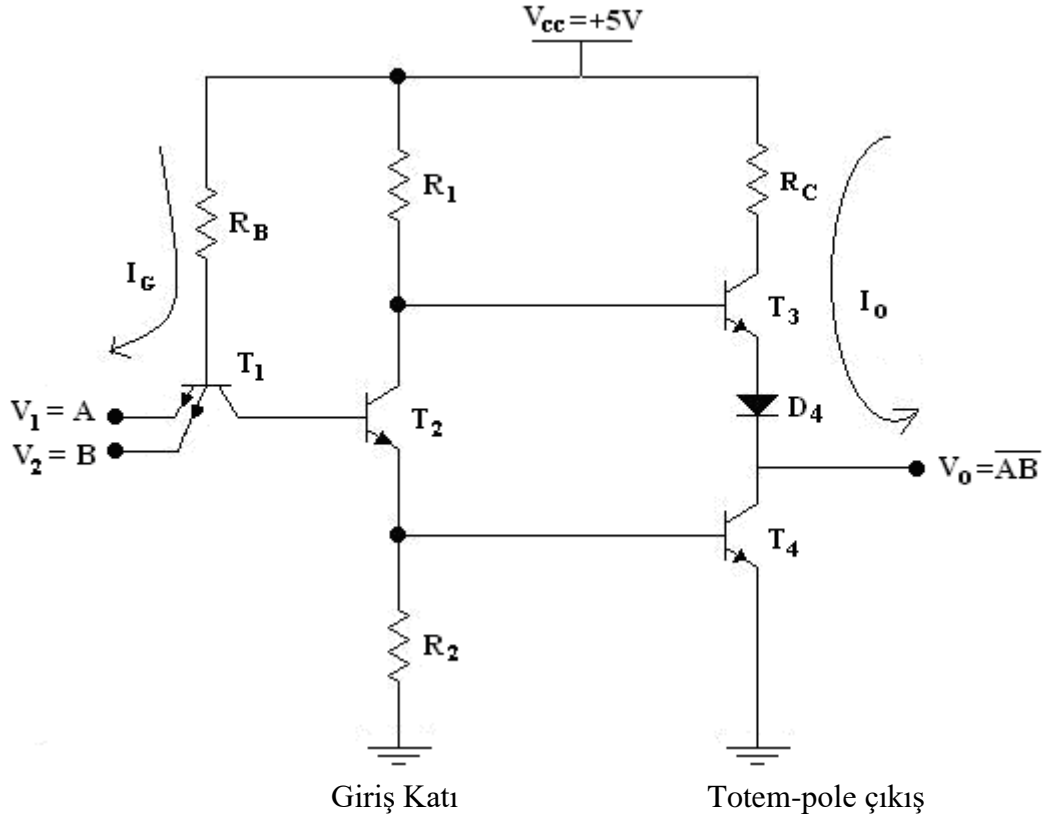
Girişlerinden biri veya her ikisi lojik-0 olduğunda D_1 ve D_2 iletken olup, X noktasında 0 V oluşur. Bu anda D_3 yalıtkan, T_1 kesimde ve çıkış lojik-1 olur. $A = B = 1$ olduğunda D_1 ve D_2 yalıtkan, (X noktasında + voltajdan dolayı) D_3 ve T_1 iletken olurken devre çıkışı lojik-0 değerini alır. Bu davranışıyla Şekil 3'deki devre bir NAND kapısını temsil eder.

4. TTL Kapılar

TTL entegreler DTL tipi entegrelerin gelişmiş biçimleridir. DTL entegrelerdeki giriş diyotlarının yerini çok emetörlü bir giriş transistoru almıştır. Bundan dolayı TTL entegreler çok hızlı çalışırlar ve hızlarının yüksek olması nedeniyle kullanımları çok yaygındır.

Transistor-transistor lojiğe dayanılarak yapılan bu kapılar çıkış katlarının yapısından dolayı iki sınıfa ayrılabilirler; totem-pole çıkışlılar ve açık-kolektörlüler. Kullanıcı açısından TTL elemanların giriş ve çıkış katlarının yapısının bilinmesi yeterlidir. Çoğu kez bu katların yapısından ziyade, bu katlara ilişkin ALÇAK ve YÜKSEK seviyelerdeki akım değerleri verilir.

Totem-pole çıkışlı devrelerde; lojik kapı devresi çıkışında seri iki transistör bulunur. Lojik çıkış seviyesinin durumuna göre transistörlerden biri iletimdedir. 2 girişli bir TTL kapının giriş ve totem-pole çıkış katlarının yapısı Şekil 4'de gösterilmiştir.



Şekil 4. TTL NAND kapısı

Bu TTL kapının çözümlemesi, T_1 transistörünün yerine Şekil 3'deki diyot üçlüsü kullanılarak basitleştirilebilir; D_1 ve D_2 diyotları T_1 'in iki baz-emetör eklemeni, D_3 diyotu ise baz-kolektör eklemeni temsil eder. T_1 'in emetör girişlerinin her ikisine de lojik-1 uygulanırsa, T_1 ters kutuplanır (D_1 ve D_2 tıkanır, D_3 iletme geçer) ve R_B üzerinden T_2 'nin bazına doğru akan akım T_2 'yi doyuma ulaştırır. T_2 iletme geçtiğinde R_1 üzerinden akan akım T_3 'ün bazı ile T_2 'nin kolektörüne dağılarak T_3 'ü kesime sürer. T_2 'nin emetör akımı ise T_4 'ün doyuma gitmesine yol açar ve çıkış voltajını lojik-0'a düşürür. Ayrıca T_3 kesimde olduğundan V_{CC} 'den çıkışa akım akmayacak ve çıkışı lojik-0'da tutacaktır.

T_1 'in girişlerinden en az birinin lojik-0 olmasıyla T_1 ileri yönde kutuplanır. Bu durum T_2 'nin bazının boşalmasına ve dolayısıyla T_2 'nin kesime gitmesine sebep olur. T_2 kesimde iken R_1 üzerinden T_3 'ün bazına akım akar ve T_3 iletme geçer. T_4 bazına akım gelmediğinden kesime girer. T_3 iletimde ve T_4 kesimde olduğu için çıkış lojik-1 üretir. T_2 transistörü T_3 ve T_4 'ün baz potansiyellerini farklı zamanlarda alçağa çekerek zıt bölgelerde çalışmalarını sağlar.

Giriş katının yapısından görülüyor ki, V_1 ve V_2 giriş gerilimlerinin ALÇAK seviyelerine bağlı olarak transistörün emetöründen, süren kaynağa doğru akan akım değişik değerler alabilecektir. Bu akım,

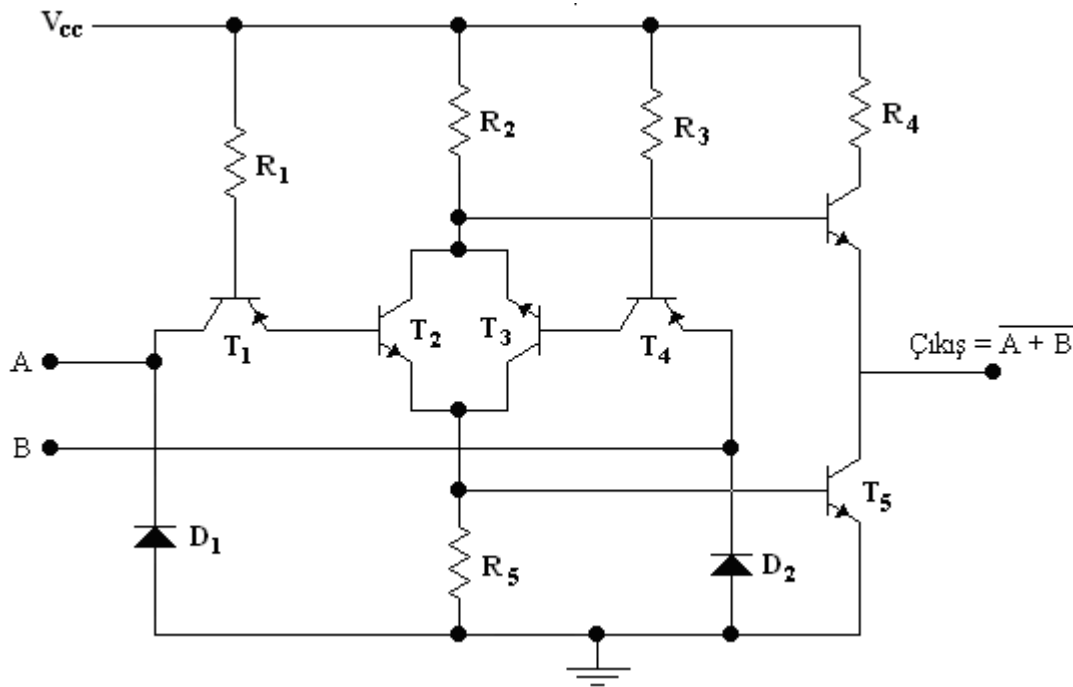
$$I_{GL} = \frac{V_{CC} - V_{BE1} - V_{GL}}{R_B}$$

bağıntısıyla hesaplanır. Burada V_{BE1} , T_1 'in baz-emetör gerilimini ve V_{GL} , giriş geriliminin alçak değerini gösterir. Benzer şekilde devrenin çıkışı bir yüke bağlandığında, çıkış YÜKSEK iken T_4 transistörü üzerinden akan akım

$$I_{OH} = \frac{V_{CC} - V_{CE3} - V_{D4} - V_{OH}}{R_C}$$

bağıntısıyla bulunabilir (V_{OH} , çıkış geriliminin yüksek değerini gösterir). Şekil 4'deki devre için tipik değerler: $I_{GL} = 1.1 \text{ mA}$, $V_{OL} \leq 0.4 \text{ V}$, $I_{GH} = 10 \text{ mA}$ ve $V_{OH} \geq 2.4 \text{ V}$.

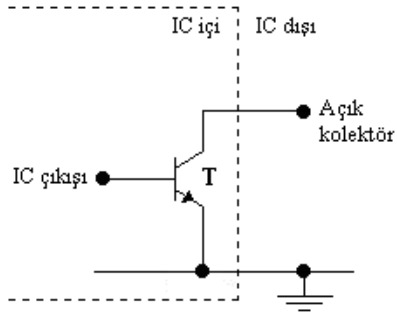
Diğer bir TTL kapı Şekil 5'te gösterilmiştir.



Şekil 5. Totem-pole çıkışlı NOR kapısı

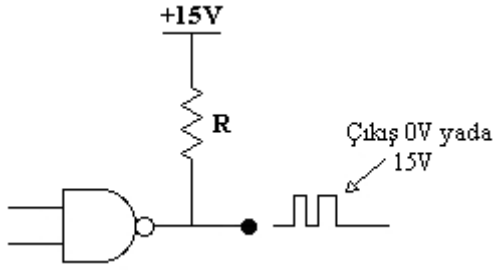
5. Açık Kolektörlü (Open Collector) Devreler

Bazı tümeleşik devrelerin (IC) çıkışında kolektörü açık bırakılmış bir transistör bulunur (Şekil 6). Bu transistörün bazına IC'nin iç çıkışı uygulanmış olup kolektörü ise IC'nin dışına çıkarılmıştır. Kullanıcı amacına bağlı olarak açık kolektör çıkışı bir R direnci (pull-up direnci) üzerinden bir gerilim kaynağına bağlanır.

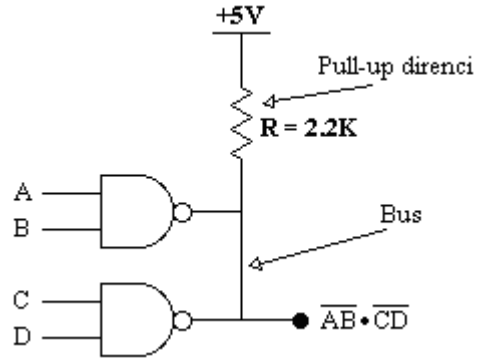


Şekil 6. Bir IC'nin açık kolektör şeması

Pull-up direnci lojik entegre (IC) ile aynı kaynağa bağlanmak zorunda değildir; daha düşük yada daha yüksek voltajlı bir kaynağa bağlanabilir (genellikle 5 V, 15 V yada 30 V). Bu nedenle, açık kolektörlü devreler ara sıra farklı işletim lojigi voltaj seviyelerine sahip devreler için uygun voltajı üretmek yada daha yüksek voltaj seviyesi gerektiren harici devreleri kontrol etmek için kullanılır (Şekil 7).



Şekil 7. 5V lojigiden daha yüksek bir voltaja geçiş



Şekil 8. NAND kapılarının aynı bus hattına bağlanması

Birkaç açık kolektör çıkışı tek bir bus hattına bağlanabilir. Hatta bağlanan bütün çıkışlar YÜKSEK potansiyelde (lojik-1) ise pull-up direnci hat çıkışını lojik-1 seviyesinde tutacaktır. Kolektör çıkışlarından en az biri ALÇAK potansiyelde (lojik-0) ise hat çıkışı lojik-0 olacaktır. Şekil 8'de iki NAND kapısının aynı bus hattını nasıl kullanacağı gösterilmiştir. Bu devre, NAND kapı çıkışları bir AND kapısına bağlanmış gibi çalışır.

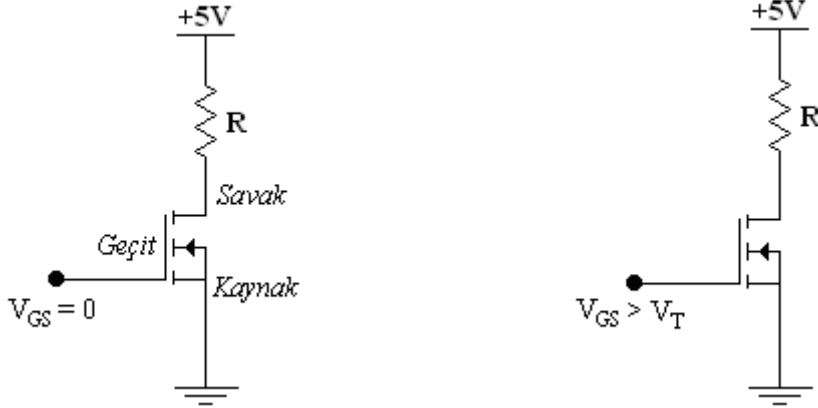
6. MOS Kapılar

Alan etkili transistor (FET) tekniğinin geliştirilmesi ile MOS türü entegrelerin imalatına başlanmıştır. Bu entegrelerdeki transistörler MOSFET olarak isimlendirilirler. Yavaş olmaları, çabuk bozulmaları ve sürücü güçlerinin az olması nedeniyle bazı uygulamalar için tercih edilmemekle birlikte yapım kolaylığı, boyutlarının küçük olması ve az güç harcamaları nedeniyle pek çok uygulamada kullanılır.

MOS transistorlar n-kanallı ve p-kanallı olmak üzere iki türlü yapılmaktadır. Bu iki tür transistor, kanal oluşturmali ve ayarlamali modlarda çalıştırılabilir. Bir MOS transistorunun üç adet bağlantısı vardır; kaynak (source), geçit (gate) ve savak (drain) vardır.

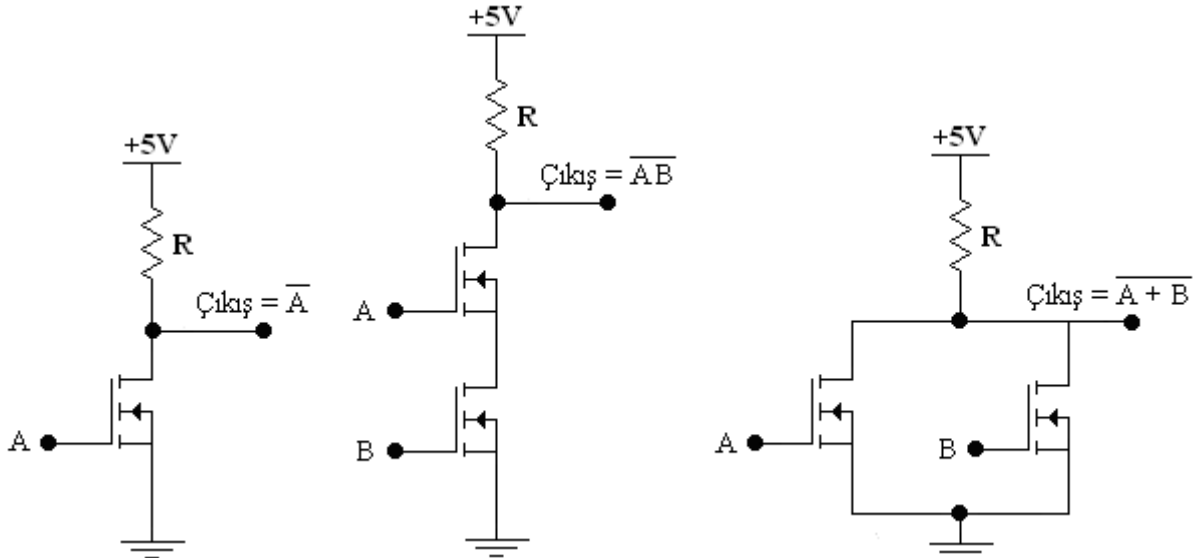
Kanal oluşturmali modda çalışan bir n-kanal MOSFET'i inceleyelim. Bu transistor genel olarak savak bağlantısına, kaynak bağlantısına göre daha pozitif bir gerilimin uygulanması ile çalıştırılır. Geçit-kaynak gerilimi $V_{GS} = 0$ V ise kaynak ile savak arasında çok büyük bir direnç ($10^{10} \Omega$ civarında) meydana gelir ve MOSFET'in kesimde olduğu kabul edilir. V_{GS} gerilimi

artarak V_T eşik değerine (yaklaşık 1V) ulaştığında kaynak-savak arası daha küçük direnç gösterir ve MOSFET iletme geçer. Bu iki konumuyla MOSFET, bir lojik eleman gibi davranır.



Şekil 9. Kanal oluşturmali n-kanal MOSFET'in bir anahtar elemanı olarak davranışı

Kanal ayarlamalı çalışan bir n-kanal MOSFET'te V_T gerilimi negatiftir. V_{GS} gerilimi 0 V olduğunda, kaynak ile savak arasında iletim başlar. Geçit-kaynak gerilimi, negatif eşik geriliminden küçük olduğu zaman ise iletim durur. Böylece yine iki durumlu bir eleman ortaya çıkar. Şekil 10'da kanal oluşturmali modda çalışan nMOSFET'ler ile tasarlanan NOT, NAND ve NOR kapıları gösterilmiştir.



a) MOS NOT kapısı b) MOS NAND kapısı c) MOS NOR kapısı
Şekil 10. n-kanal MOSFET ile gerçekleştirilen lojik kapılar

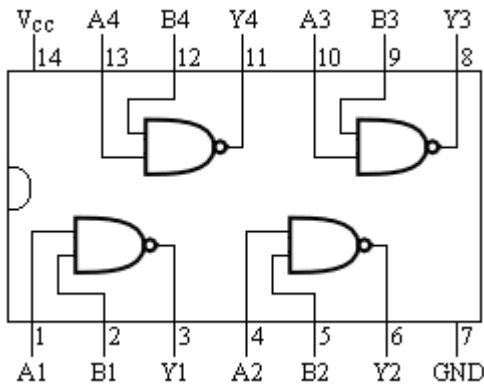
7. CMOS (Tümlemeli Metal-Oksit Yarıiletken) Kapılar

Uzay ve deniz uygulamalarında kullanılmak üzere tasarlanmış çeşitli MOSFET devreleri geliştirilmiştir. Bu devreler tümleyen MOS (CMOS) olarak adlandırılırlar. TTL'lerin daha geliştirilmiş biçimleri olan CMOS entegreler FET MOSFET mantığına göre

oluşturulmuşlardır. Bu devreler çok az güç harcar ve gürültüden çok fazla etkilenmezler. Yüksek hızlı mantık devreleri ile karşılaştırıldığında CMOS devrelerin daha yavaş olduğu görülür. Ancak çok sayıda transistordan oluşan devreler bir tek yonga üzerine yerleştirilebilirler ve kullanılacak güç kaynağı geniş bir aralıkta seçilebilir. Böyle tümleşik devrelerin fabrikasyonu diğerlerine göre daha ekonomik olabilmektedir. En son geliştirilen CMOS devreleri daha önceki kuşaklara göre daha hızlıdır ve yaygın olarak elektronik kol saatlerinden hesap makinalarına ve mikroişlemciler kadar her yerde kullanılır. Yayılım gecikmeleri oldukça fazladır ve maksimum gerilim beslemesinde 5MHz civarındadır; yani yüksek frekanslarda çalışması uygun değildir.

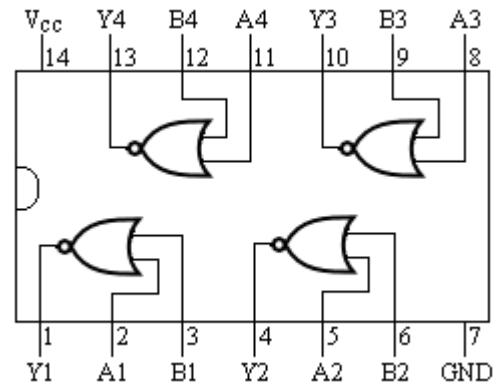
İki girişli NAND

(54LS00/DM54LS00/DM74LS00)



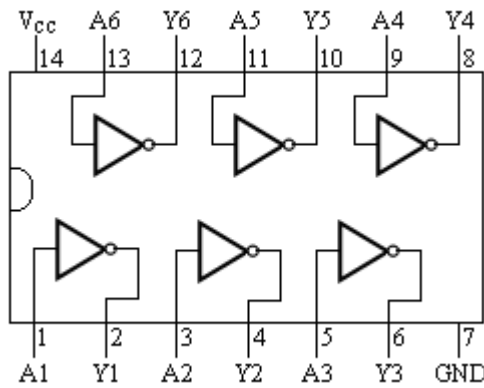
İki girişli NOR

(54LS02/DM74LS02/DM74LS02)

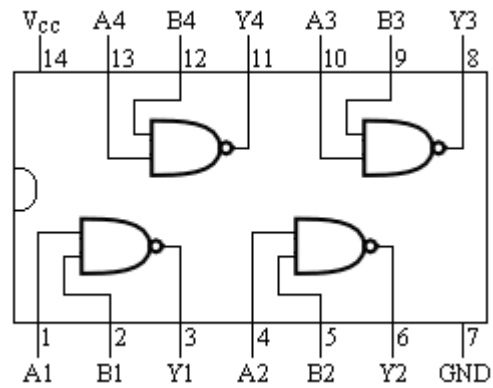


NOT kapılı entegre

(54LS04/DM54LS04/DM74LS04)



Açık kolektör çıkışa sahip iki girişli NAND (DM5403/DM7403)



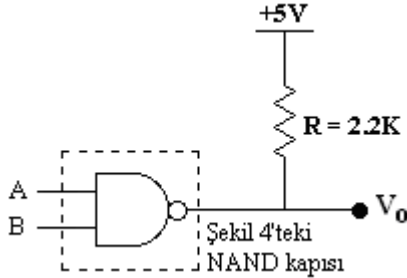
Şekil 11. Lojik kapı entegreleri

8. Deney Hazırlığı

6. Lojik kapıları gerçekleştirme teknolojilerini araştırınız.
7. Her bir lojik kapı için basit bir elektrik devresi gerçekleştirilmesi araştırınız.
8. Şekil 4'teki NAND kapısında yer alan dirençler için örnek değerler belirleyiniz.
9. Açık kolektörlü devrelerin uygulama alanlarını araştırınız.
10. Pull-up direnci ile pull-down direncinin farkını ve kullanılma nedenlerini öğreniniz.

9. Deney Tasarımı ve Uygulaması

15. Şekil 3'teki devrenin çalışmasını, girişine bir kare dalga işareti uygulandığını varsayarak inceleyiniz.
16. A ve B girişlerinden en az biri lojik-0 ise X noktasındaki potansiyeli ve D_3 'ün iletim durumunu belirleyiniz.
17. A ve B girişlerinin her ikisi de lojik-1 ise R_1 üzerindeki potansiyel farkını hesaplayınız.
18. Şekil 4'teki devrenin çalışmasını inceleyerek, girişlerin lojik-0 ve lojik-1 değerlerine göre transistorların durumlarını belirleyiniz.
19. Devrenin iki girişi de lojik-1 ise T_2 ve T_3 'ün bazındaki potansiyel farkını hesaplayınız.
20. D_4 diyotunun görevini ve çıkarılması durumunda devrenin çalışmasını nasıl etkileyeceğini açıklayınız.
21. Devrede $R_b = 4\text{ k}\Omega$, $R_1 = 1.6\text{ k}\Omega$, $R_2 = 1\text{ k}\Omega$ ve $R_c = 130\ \Omega$ olduğuna göre, iki giriş de lojik-0 iken I_{GL} ve I_{OH} değerlerini hesaplayınız (V_{OH} için en küçük mümkün değeri kullanınız).
22. Aynı kare dalga işaretini devrenin her iki girişine de uygulayarak çıkış işaretini çiziniz.
23. Giriş işaretlerinden birinin kare dalga, diğerinin lojik-0 olması durumunda çıkış işaretini çiziniz.
24. Şekil 4'te V_{OH} değerinin lojik-1 seviyesini karşılayamadığı durumlarda devre çıkışına bir pull-up direnci bağlanır. Bu devre, giriş direnci R_o ve en küçük lojik-1 duyarlılığı V_{GH} olan diğer bir lojik kapıya sorunsuz bağlanabilmesi için R direnci ile R_o arasındaki ilişkiyi belirleyiniz.
25. Şekil 4'teki devreyi çıkışına $R = 2.2\text{ K}$ 'lık pull-up direnci bağlayarak kurunuz (Şekil 12) ve çalışmasını inceleyiniz.



Şekil 12. NAND kapısı kurulum devresi

26. Devrenin her iki girişine de aynı 0–5V düzeyli ve 100KHz frekanslı kare dalga işaretini uygulayarak çıkış işaretini osiloskopta gözlemleyiniz ve zaman ile genlik değerlerini ölçünüz.

10. Deney Soruları

1. Transistorlar hangi özelliklerinden dolayı lojik kapı gereklemelerinde kullanılırlar?
2. Lojik devrelerde transistorlar hangi konumlarında niin alıřtırılırlar?
3. Őekil 4'te T_3 ve T_4 niin farklı zaman aralıklarında ilettime geerler?
4. Őekil 4'te V_{OH} deęeri hangi durumlarda istenen lojik seviyeyi karřılayamayabilir?
5. Lojik kapılarda totem-pole ıkıřın avantajları ve dezavantajları nelerdir?
6. Őekil 7'de R deęerinin seimini hangi kriterlere gre yapılır?
7. Őekil 8'deki devrede bus hattının paylařımlı kullanımını nasıl gerekleřir?
8. Őekil 8'deki lojik devre ıkıřının niin $\overline{AB} \cdot \overline{CD}$ olduęunu gsteriniz.

11. Deney Raporu

1. Lojik kapı trlerini ve uygulama alanlarını kısaca anlatınız.
2. Deney esnasındaki uygulamalarınızı anlatınız ve sonularını yorumlayınız.
3. Őekil 10'daki kapıların alıřmalarını kısaca anlatınız.
4. TTL ve MOS kapıları karřılařtırınız.
5. Deney sorularını cevaplandırınız.



İKİLİ ÇARPMA

1. Giriş

Bilgisayarların yaptığı temel işlevler arasında en fazla zaman gerektiren işlemlerden biri de çarpmadır. Günümüze dek teknolojik imkanlara göre değişik çarpma yöntemleri geliştirilmiştir ve kullanılmıştır. Bunlardan biri olan seri çarpıcılar oldukça yavaş kalmaktadır. Paralel çarpıcılar ise seri çarpıcılara nazaran oldukça hızlıdır. Deneyde bu çarpıcıların iç yapısı incelenecek olup öğrencilerin bu tür devreleri kurabilmesi hedeflenmektedir.

2. Seri Çarpma

Çarpma işlemi bilgisayarlarda normal olarak kaydırmalı toplama olarak gerçekleştirilmektedir. İkili çarpma için kullanılan kağıt-kalem ve makine yöntemlerine ilişkin birer örnek aşağıda verilmiştir.

	Taşma	Çift uzunluklu kaydedici
1 0 1 1 çarpılan	1 0 1 1	
1 1 1 0 çarpan	1 1 1 0	
-----	-----	-----
0 0 0 0	0 0 0 0	0 0 0 0
1 0 1 1	1 0 1 1	0 0 0 0
1 0 1 1	0 1 0 1	1 0 0 0
1 0 1 1	+1 0 0 0 0	1 0 0 0
-----	-----	-----
1 0 0 1 1 0 1 0 sonuç	+1 1 0 0 0	0 1 0 0
	+1 0 0 1 1	0 1 0 0
	1 0 0 1	1 0 1 0
	-----	-----
	Sonuç 1 0 0 1	1 0 1 0 = 154

Tablo 1. (a) Kağıt-kalem yöntemi (b) Makine yöntemi

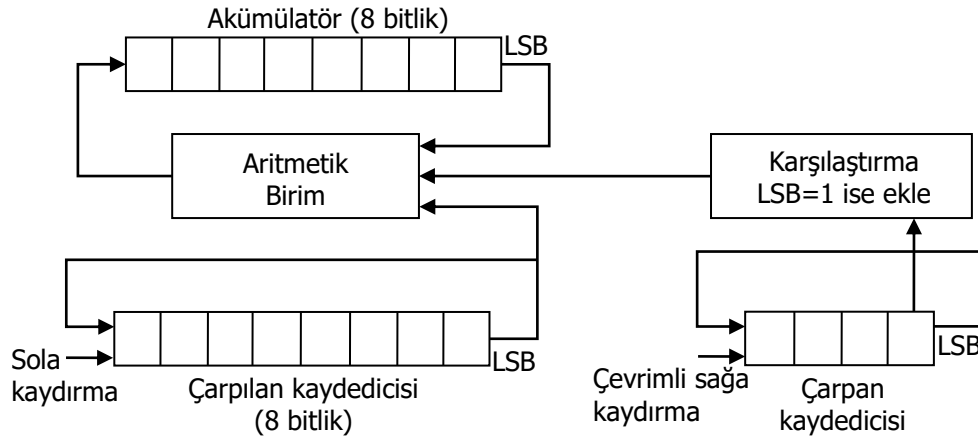
Tablo 1'den görüldüğü gibi her iki yöntemde de çarpan bitleri ayrı ayrı test edilerek 1 değerli çarpan biti için çarpılan kısmı çarpıma eklenerek bir hane kaydırılmakta, 0 değerli çarpan biti için ise kısmi çarpım sadece bir hane sağa kaydırılmaktadır. Makine yönteminde her sağa kaydırmayla çarpımın bir biti belirlenir. Bu yöntemde kısmi çarpımı oluşturmak için çarpan veya çarpılanın bit uzunluğunda bir toplayıcı kullanmak yeterli olacaktır.

Sayısal bilgisayarlarda ikili çarpmayı gerçekleştirecek bir çarpıcı, aşağıdaki devrelerin uygun bağlanmasıyla gerçekleştirilebilir.

a) Çarpanın 1 olan haneleri için kısmi çarpıma çarpılanı ekleyen ikili toplama devresi.

b) Her çarpan hanesi için, kısmi çarpımı bir hane sağa veya sola kaydırma devresi.

c) Her işlemden sonra, çarpanın hanelerini algılamak üzere bir hane sola kaydıran devre.



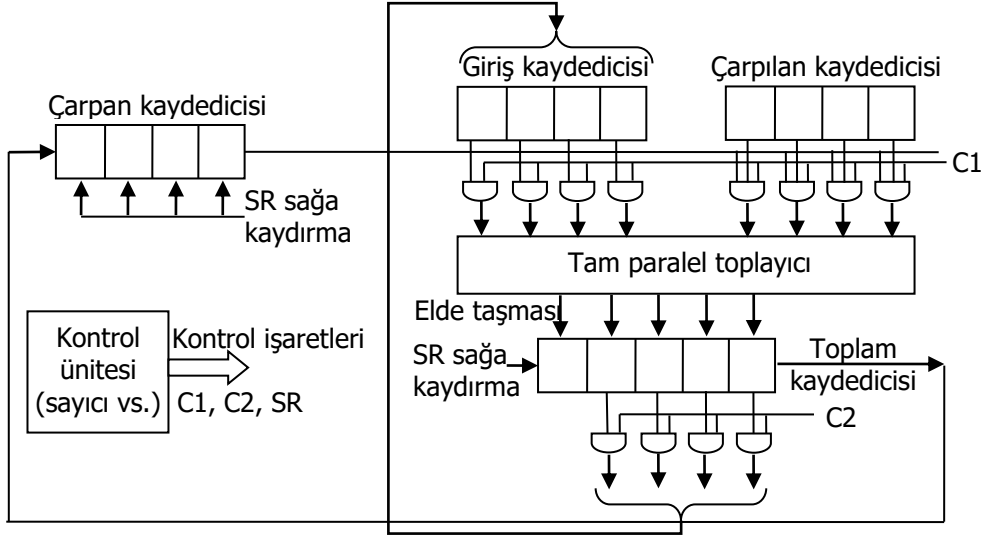
Şekil 1. Seri çarpma devresi

Şekil-1’de verilen 4 bitlik çarpma devresinin çalışmasını inceleyelim. Başlangıçta akümülatörün içeriği temizlenir ve 4 bitlik çarpılan, çift uzunluklu çarpılan kaydedicisinin sağ yarısına yerleştirilir. Çarpanın en anlamsız hanesi algılanır. Eğer bu hane 1 ise çarpılan kaydedicisinin içeriği ile akümülatörün içeriği seri toplama devresinde bit bit toplanarak, sonuç akümülatöre yazılır. Daha sonra çarpan kaydedicisi bir hane sağa, çarpılan kaydedicisi de bir hane sola kaydırılır. Bu işlemler çarpanın hane sayısı kadar tekrarlandığında çarpma işlemi tamamlanmış olur.

3. Paralel Çarpma

Sayısal bilgisayarlarda diğer işlemler için kullanılan CPU’dan faydalanılarak çarpma işleminin gerçekleştirilmesi, gerekli donanımı ucuz maliyetli kılmaktadır. Özel amaçlı çarpıcılarda ise tasarım ölçütü daha çok hız, operantların bit uzunluğu, uyumluluk ve ucuz maliyettir. Paralel çarpıcı ile seri çarpıcının tasarım ilkeleri aynıdır. Paralel çarpıcıda, kısmi çarpıma çarpılanı ilave etmek için bir paralel tam toplayıcı gerekirken, seri çarpıcıda bu işlem bir bitlik bir tam toplayıcı yardımıyla seri olarak gerçekleştirilir.

Paralel çarpıcıda kullanılan toplayıcı devre içerisinde “Eldeye Bak Üretici” (Look Ahead Carry Generator) vardır. Bu sayede toplanacak bitlerin anlamsız hanelerinden anlamlı hanelerine gelecek olan elde daha önceden hesaplanır ve toplama işlemi seri çarpıcılardaki toplama işlemine göre çok çok hızlı şekilde gerçekleşir. Bu tip toplayıcılara ileri eldeli toplayıcı denir. 4 bitlikten daha büyük ileri eldeli toplayıcılarda önceden gelecek eldenin hesaplanması zorlaşmakta ve elde tahmin mantık devresi karmaşık hale gelmektedir. Bundan dolayı ileri eldeli toplayıcılar genellikle 4 bitlik imal edilirler.



Şekil 2. Paralel çarpma devresi

Paralel çarpıcıda; denetim birimindeki sayıcı, giriş ve toplam kaydedicileri sıfırlanır. Daha sonra çarpılan ve çarpma uygun kaydedicilere paralel olarak sokulur. Çarpma kaydedicisi bir hane sağa kaydırılarak en anlamsız biti ile çarpılan çarpılır ve sonuç giriş kaydedicisinin içeriği ile toplanıp toplam kaydediciye kaydedilir. Toplam kaydedicinin en anlamsız hanesi sağa kaydırılarak çarpma kaydediciye seri olarak sokulur ve toplam kaydedicide kalan içerik, giriş kaydedicisine gelir. Bu arada denetim birimindeki sayıcının içeriği bir artırılır. Çarpma kaydediciye seri olarak bir bit girdiği sırada en anlamsız hane dışarı çıkar ve yukarıdaki olaylar çarpma kaydedicinin bit sayısı kadar tekrarlanır.

Günümüzde kullanılan bir başka çarpıcı türü de tek yongadan oluşan eşzamanlı çarpıcıdır. Eşzamanlı çarpıcılar kombinasyonel devreler kullanılarak gerçekleştirilebilir. Bu çarpıcılar iki adet 16 bitlik sayıyı 100 ns'den daha kısa sürede çarpabilecek şekilde imal edilebilmektedir.

4. Hızlı Çarpma Yöntemleri

Bu bölümde, işaretli-sayı çarpımı için güçlü bir yöntem olan Booth Algoritmasına değinilecektir. Booth Algoritması hem pozitif hem de negatif sayıları aynı şekilde işlemeye sokarak $2n$ bitlik çarpım üretmektedir. Bilinen topla-kaydır yönteminde her çarpma bit için kısmi çarpıma eklenecek çarpılanın bir kopyası üretilir. Çok büyük çarpma için çok sayıda çarpılanın kısmi çarpımla toplanması gerekmektedir. Çarpma emrinin icra süresi, gerçekleştirilecek olan toplama işlemlerinin sayısı tarafından tayin edilmektedir. Bundan dolayı toplama sayısının azaltılması, çarpma işleminin süresini azaltacaktır.

Örneğin, her bir ucunda en az bir 0 olan yalnız 1 bloğuna sahip bir pozitif çarpmanın olduğu bir çarpma işlemini inceleyelim. 0011110 çarpmanı normal çarpma işleminde, çarpılanın dört kaydırılmış biçiminin toplanmasını gerektirir. Fakat toplamaların sayısı bu biçimdeki bir çarpmanı aşağıdaki iki sayının farkı sayarak azaltılabilir.

$$\begin{array}{r}
 010000 \quad 32 \\
 - 000010 \quad -2 \\
 \hline
 \end{array}$$

Bu durumda çarpım bir toplama ve bir çıkarma işlemiyle yani 32 defa çarpılanı ekleyip, ikidefa çıkarılarak elde edilir.

Bilinen gösterimde çarpan şöyle yazılabilir: 0 +1 +1 +1 +1 0 ve yeniden kodlanmış çarpan ise 0 +1 0 0 0 -1 0 şeklinde yazılır. Dikkat edilmelidir ki çarpan sağdan sola doğru taranırken 0 -1 geçişlerinde -1 defa sola kaydırılmış çarpılan ve 1 - 0 geçişlerinde de +1 defa sola kaydırılmış çarpılan meydana gelir. Booth yönteminin negatif ve pozitif sayılara uygulanmış birer örnek aşağıda verilmiştir.

<pre> {43} 0 1 0 1 0 1 1 {0011110 30} 0+1 0 0 0-1 0 ----- 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 0 1 0 1 0 1 0 1 0 1 0 1 1 + 0 0 0 0 0 0 0 0 ----- (1) 0 0 0 1 0 1 0 0 0 0 1 0 1 0 { 1290 } (a) </pre>	<pre> {11} 0 1 0 1 1 {11010 6} 0-1+1-1 0 ----- 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 0 1 0 1 0 0 0 0 0 1 0 1 1 1 1 1 1 0 1 0 1 + 0 0 0 0 0 0 0 ----- (0) 1 1 1 1 0 1 1 1 1 1 0 { 66 } (b) </pre>
--	---

Tablo 2. (a) İki pozitif sayının çarpımı (b) Pozitif ve negatif sayıların çarpımı

Booth yöntemi, sayıların durumuna göre bazen çok iyi çalışmayabilir. Fakat yöntem özellikle sayı içerisinde ardı ardına gelen çok sayıda 1 yığılmalarının olduğu durumlarda verimlidir.

5. Deney Hazırlığı

1. İkili çarpma devrelerini elektronik olarak nasıl tasarlayabileceğinizi düşününüz.
2. 555 timer entegresinin multivibratör olarak çalışmasını araştırınız.
3. Look ahead carry devresinin iç yapısını ve çalışma mantığını araştırınız.
4. 7483 paralel çarpıcı ve 74194 kaydırmalı kaydedicilerin kataloglarından bağlantılarını inceleyiniz.
5. Deney sorularını cevaplandırınız.

6. Deney Tasarımı ve Uygulaması

1. Daha önceden kurulmuş olan ikili çarpma devresinin çalışmasını gözlemleyiniz.
2. Seri ve paralel çarpma devrelerinin çalışma mantıklarını teorik olarak inceleyiniz. Benzerlikleri ve farklılıkları anlamaya çalışınız.
3. Deney esnasında size verilen ikili çarpma devresinin iç yapısını ayrıntılı olarak inceleyiniz. Bağlantıların ne amaçla yapıldığını anlamaya çalışınız.
4. 74194 kaydırmalı kaydediciyi istendiğinde çevrimli olarak sürekli sağa ya da sola kaydıracak biçimde tasarlayarak çalışma modlarının nasıl kullanıldığını öğreniniz.
5. 7483 paralel toplayıcı ile iki sayıyı toplayarak bu entegrenin kullanımını öğreniniz.

7. Deney Soruları

1. Seri çarpma devrelerinden kağıt-kalem yöntemi ile makine yöntemi arasındaki fark nedir? Tasarım bakımından ne gibi farklılıklar oluşur?
2. Seri çarpma ile paralel çarpma devreleri arasındaki fark nedir?
3. İleri elde üretici eldeyi hesaplamakta mı yoksa tahmin mi etmektedir? Eğer hesaplıyorsa bu nasıl hız kazancı sağlamaktadır?
4. Şekil-2'deki C1 ve C2 kontrol uçları hangi işlevi gerçekleştirmektedir?
5. Booth algoritması hangi durumlarda dezavantajlı olur?

8. Deney Raporu

1. Deneyde işlenen teorik konuları (föyden bağımsız olarak) kısaca anlatınız.
2. Deney esnasında sorulan sorulara verilen cevaplardan aldığınız notları rapora aktarınız.
3. Deney esnasında kurduğunuz devreleri ve elde ettiğiniz sonuçları belirtiniz.

KARADENİZ TEKNİK ÜNİVERSİTESİ
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ
SAYISAL ELEKTRONİK LABORATUARI

TÜREV VE İNTEGRAL ALICI DEVRELER

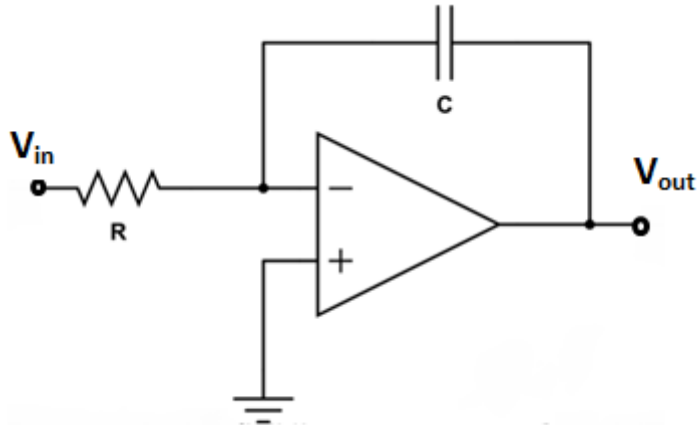
1. Giriş

İşlemsel yükselteçler; toplama, çıkarma gibi basit aritmetik işlemlerin yanı sıra türev, integral, logaritma gibi ileri matematik işlemlerde de kullanılan çok geniş bir kullanım alanına sahip elektronik elemanlardır. Bu deneyde “İşlemsel Yükselteçler” in türev ve integral uygulamaları gerçekleştirilecektir.

2. İntegral Alıcı

İntegral alıcı devre, girişe uygulanan işaretin integralini alarak çıkışa aktaran bir işlemsel yükselteç uygulamasıdır. Matematiksel olarak integral, bir eğri fonksiyonunun altında kalan alandır. Örnek olarak, integral alıcı devre girişine kare dalga uygulandığında çıkış olarak üçgen dalga elde edilir.

İdeal integral alıcı devre Şekil-1’deki gibidir. Şekilde de görüldüğü üzere kapasite geri besleme elemanı olarak kullanılmaktadır. Bu kapasite giriş direnci ile birlikte RC devresini oluşturur.



Şekil-1. İdeal integral alıcı

İntegral alıcının çalışma mantığını anlayabilmek için kapasitenin nasıl dolduğunu gözden geçirmek önemlidir. Kapasite üzerinde Q kadar yük olabilmesi, akım (I_c) ve zaman (t) ile orantılı olarak gerçekleşir.

Kapasite üzerindeki yük,

$$Q = I_c t$$

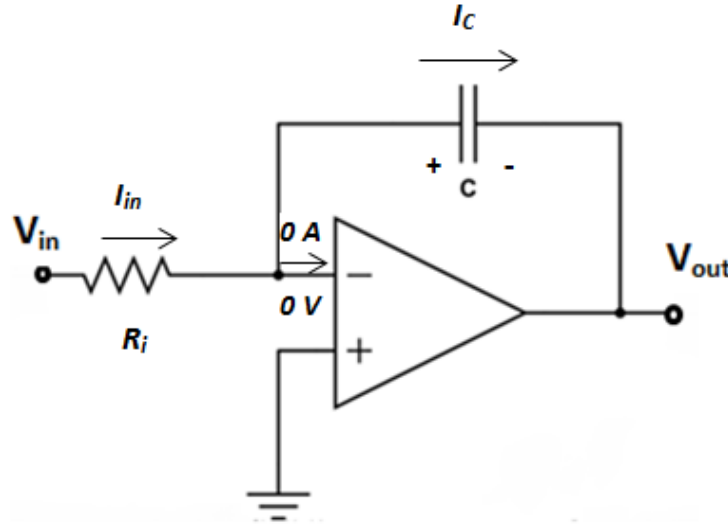
ile ifade edilir. Gerilim ile ifade edilirse,

$$Q = C V_c$$

şeklinde olur. Bu iki eşitlik ifadesi kullanılarak, kapasite gerilimi aşağıdaki gibi elde edilir.

$$V_c = \left(\frac{I_c}{C} \right) t$$

Bu gerilim ifadesi I_c / C sabit eğimli 0'dan başlayan bir doğruyu ifade eder. Lineer cebirden hatırlanırsa doğrunun genel formülü $y = mx + b$ olduğundan $y = V_c$, $m = I_c / C$, $x = t$ ve $b = 0$ dır.



Şekil-2. İntegral alıcının akım yönlerinin gösterimi

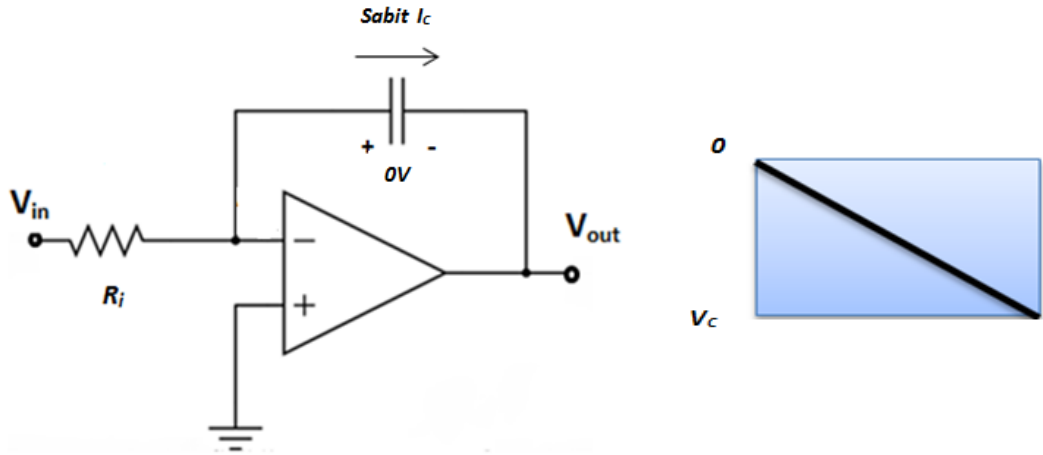
Şekil-2'de işlemsel yükseltecin ters alan girişi sanal topraktır (0V). Böylelikle R_i direnci üzerindeki gerilim V_{in} 'e eşit olur. Bu yüzden giriş akımı;

$$I_{in} = \frac{V_{in}}{R_i}$$

olur. Eğer V_{in} sabit ise, I_{in} 'de sabit olur. Çünkü ters alan giriş R_i direnci üzerindeki gerilimi sabit tutarak her zaman 0V' da bırakır. İşlemsel yükseltecin çok yüksek empedanslı girişinden dolayı ters alan girişte ihmal edilebilir bir akım oluşur. Bu durum tüm giriş akımının kapasite üzerinden geçmesini sağlar.

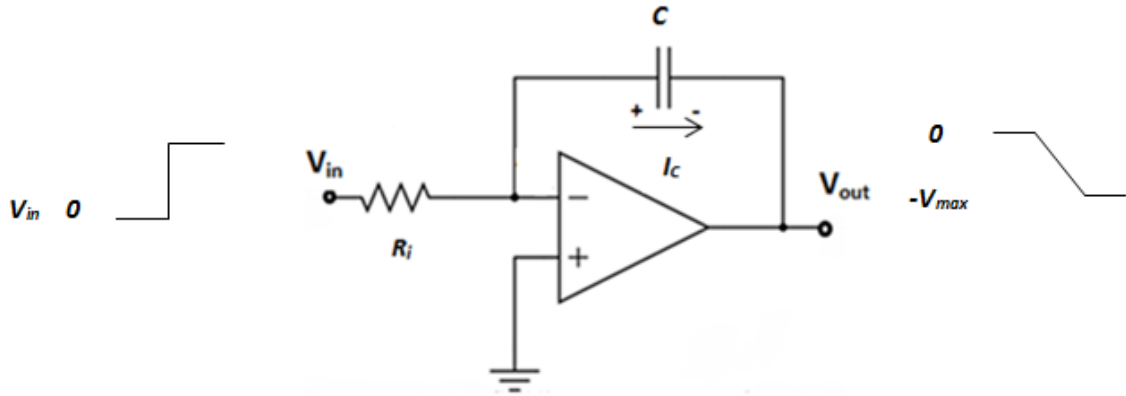
$$I_c = I_{in}$$

I_{in} sabit olduğu için, I_c de sabit olur. Sabit I_c kapasiteyi doğrusal olarak doldurur ve C üzerinde doğrusal bir gerilim oluşturur. Kapasitenin pozitif tarafı işlemsel yükseltecin sanal toprağı tarafından 0V' da tutulur. Kapasitenin negatif tarafı işlemsel yükseltecin çıkış gerilimidir. Kapasite dolarken 0'dan başlayarak doğrusal olarak azalır. Bu gerilime negatif rampa gerilimi denir ve sabit pozitif girişin sonucudur. Bu durum şekil-3'te gösterilmiştir.



Şekil-3. Kapasite üzerinde oluşan negatif rampa gerilimi

V_{out} kapasitenin negatif tarafı ile aynı gerilime sahiptir. Sabit pozitif giriş gerilimi uygulandığında, çıkışta oluşacak olan rampa, işlemsel yükselteç doyum noktasına ulaşana kadar negatif olarak azalır. Burada doyum noktası V_{max} ile ifade edilmiştir.



Şekil-4. Sabit giriş gerilimi ile çıkış olarak rampa işaretinin elde edilmesi

Yukarıdaki şekildeki gibi çıkışta oluşacak rampa işaretinin eğimi I_c / C oranı ile setlenir.

$$I_c = \frac{V_{in}}{R_i}$$

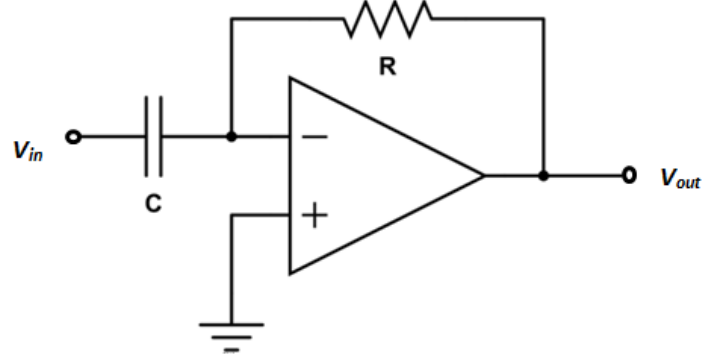
olduğu için, çıkış geriliminin değişim oranı veya çıkış geriliminin eğimi $\Delta V_{out} / \Delta t$ olur.

$$\frac{\Delta V_{out}}{\Delta t} = -\frac{V_{in}}{R_i C}$$

3. Türev Alıcı

Türev alıcı devre, girişe uygulanan işaretin türevini alarak çıkışa aktaran bir işlemsel yükselteç uygulamasıdır. Matematiksel anlamda türev fonksiyonunun herhangi bir noktadaki değişim hızını gösterir. Türev alıcı devrenin girişine üçgen dalga uygulandığında çıkışında

kare dalga oluşur. İntegral alma işleminin tersi türev alma olduğu için, integral devresindeki direnç ve kondansatörün yer değiştirilmesiyle türev alıcı devre elde edilir. Bu devrede kapasite giriş elemanı, direnç ise geri besleme elemanı olarak kullanılır. Şekil-5'te ideal türev alıcı devre gösterilmiştir.



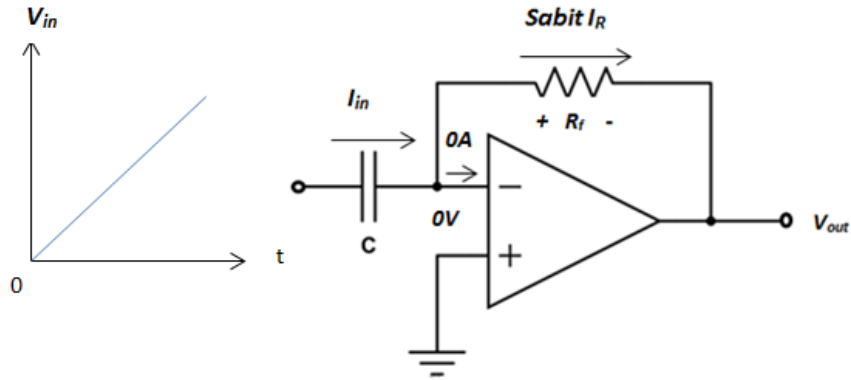
Şekil-5. İdeal türev alıcı

Türev alıcı devrenin çalışmasını anlamak için, giriş olarak pozitif-yükselen rampa işaretini uygulayalım. Bu durumda;

$$I_C = I_{in}$$

$$V_C = V_{in}$$

olacaktır (V_C = kapasite üzerindeki gerilim, I_C = kapasite akımı).



Şekil-6. Rampa işaret girişli türev alıcı

İntegral alıcıda elde edilen temel formül

$$V_C = (I_C / C) t$$

kullanılarak kapasite akımı

$$I_C = (V_C / t) C$$

şeklinde elde edilir. Ters alan girişteki akım ihmal edilebilecek kadar az olduğundan

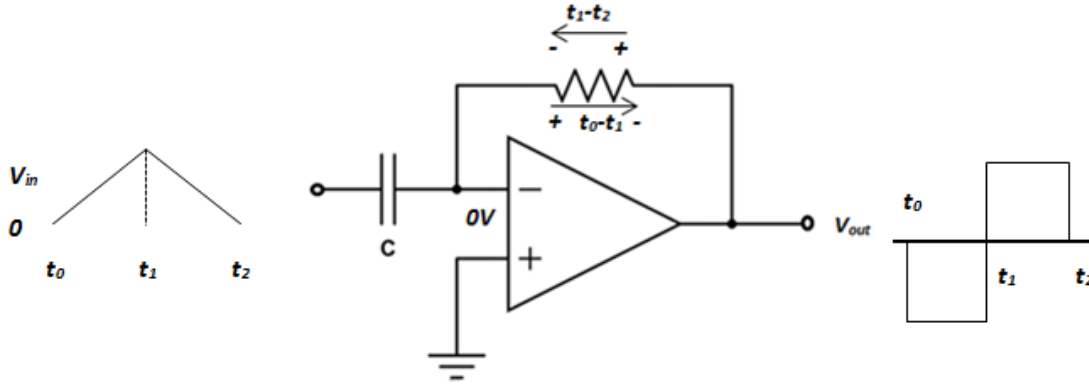
$$I_R = I_C$$

olur. Kapasite üzerindeki gerilimin eğimi (V_C/t) sabit olduğu için bu iki akım da sabittir. Çıkış gerilimi de sabittir ve R_f üzerinden geçen gerilime eşittir.

$$V_{out} = I_R R_f = I_C R_f$$

$$V_{out} = -\left(\frac{V_C}{t}\right) R_f C$$

Şekil-7'de görüldüğü gibi giriş artan rampa işareti olduğunda, çıkış negatif bir işaret olurken; giriş azalan rampa işareti olduğunda, çıkış pozitif bir işaret olur.



Şekil-7. Üçgen dalga giriş olarak verildiğinde devre çıkışında kare dalga elde edilmesi

Yukarıdaki şekilde girişin pozitif eğimi sırasında, kapasite giriş kaynağından dolar ve sabit akım geri besleme direncine doğru olur. Girişin negatif eğimi sırasında akım ters yönde oluşur. Bunun nedeni kapasitenin boşalmasıdır.

4. Deney Hazırlığı

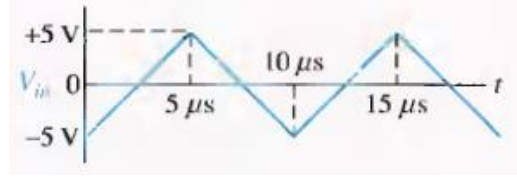
1. İşlemsel yükselteçler hakkındaki teorik bilgilerinizi anımsayınız.
2. Bir işlemsel yükselteçli türev alıcı devrenin çalışma mantığını inceleyiniz.
3. Bir işlemsel yükselteçli integral alıcı devrenin çalışma mantığını da inceleyerek bu iki devreyi karşılaştırmamız.
4. İntegral alıcı devrede kapasitenin nasıl dolduğunu inceleyiniz.
5. Deney sorularının çözümlerini araştırınız.

6. Deney Tasarımı ve Uygulaması

1. Verilen devreyi (Şekil-1) kullanarak bir integral alıcı devre oluşturunuz ($C=0.01\mu F$, $R_i=10K\Omega$). Giriş olarak aşağıdaki kare dalga verildiğinde oluşacak olan çıkış işaretini osiloskopta inceleyiniz.



2. Şekil-5'teki türev alıcı devreyi kurunuz ($R_f=2.2K\Omega$, $C=0.001\mu F$). Giriş olarak aşağıdaki üçgen dalga uygulandığında elde edilecek çıkış işaretini osiloskopta inceleyiniz.



7. Deney Soruları

1. İşlemsel yükselteçli integral alıcı devrede kullanılan geri besleme elemanı nedir?
2. İntegral alıcı devreye giriş olarak sabit gerilimli işaret verildiğinde, kapasite üzerindeki gerilim neden lineer (doğrusal) olur?
3. İşlemsel yükselteçli türev alıcı devrede kullanılan geri besleme elemanı nedir?
4. Türev alıcı devrenin çıkışı ile girişi arasındaki ilişki nedir?

8. Deney Raporu

1. Konu ile ilgili vurgulanan önemli noktaları ve yorumları föyden bağımsız olarak kısaca anlatınız.
2. Deney uygulamasında gerçekleştirilen integral alıcı ve türev alıcı devrelerinin tasarımını giriş ve çıkış işaretlerini ölçekli olarak çizerek adım adım açıklayınız.
3. Deney esnasında sorulan soruları ve cevapları belirtiniz. Deney sorularını da cevaplayınız.

KARADENİZ TEKNİK ÜNİVERSİTESİ BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ SAYISAL ELEKTRONİK LABORATUARI

SALINGAÇLAR (OSİLATÖRLER)

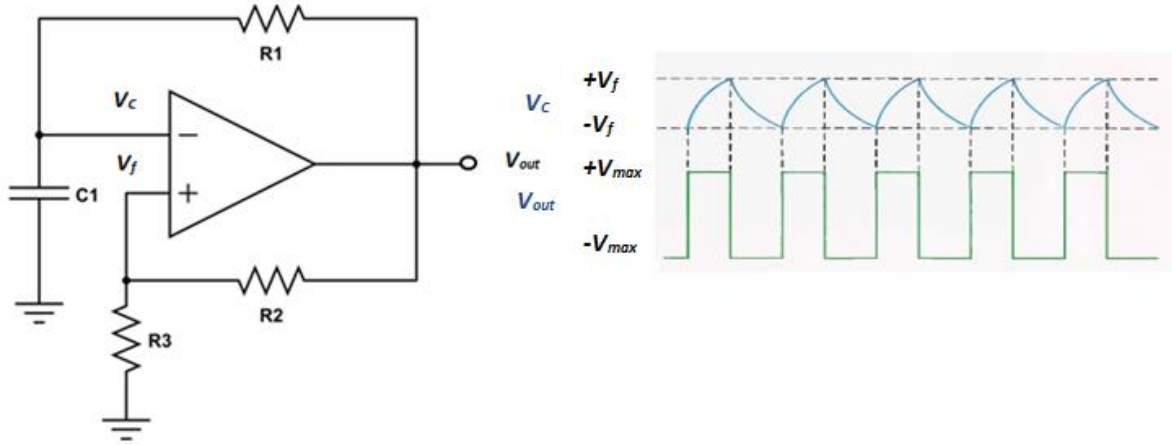
5. Giriş

Herhangi bir nesnenin belli bir değere göre iki durum arasında zamana göre tekrarlanan değişimine **salınım (osilasyon)** denir. Elektrik-elektronik sistemlerde ise zaman içerisinde yönü ve şiddeti belli bir düzen içerisinde değişen elektrik sinyalleri salınım olarak tanımlanır. Salınım, elektronik devrelerde (salınım devreleri hariç) istenmeyen bir olaydır. Bir devrenin çıkışında salınım fazla ise devre çıkışında sorun oluşma ihtimali vardır denilebilir. Bu yüzden salınımları azaltmak için fazladan elektronik devreler kullanılır. Fakat bu salınımların gerekli olduğu sistemlerde bulunmaktadır. Bu sebeple salınım sinyalleri üreten devrelere de ihtiyaç vardır. Bu devrelere **salınım devreleri** denir.

Salıngaçlar (Osilatörler), belli frekanslarda kare, sinüs, üçgen veya testere dişi biçiminde sinyal üretmeye yarayan, geri beslemeli amplifikatör (yükseltici) devreleridir. Diğer bir deyişle kendi kendine sinyal üretebilen elektronik bir elemandır. Salıngaçların türüne göre çıkış işareti sinüzoidal ya da sinüzoidal olmayan işaret şeklinde olur. Salıngaçlar iki ana sınıfa ayrılır. Bunlar geri beslemeli (feedback) ve dolup-boşalmalı (relaxation) salıngaçlardır. Bu deneyde dolup-boşalmalı bir salıngaç türü olan kare dalga salıngacının çalışma mantığını göreceğiz.

6. Kare Dalga Salıngacı

Kare dalga salıngacı dolup-boşalmalı salıngacın bir türüdür. Dolup-boşalmalı salıngaçların çalışma mantığı kondansatörün dolup boşalması esasına dayanır. Şekil-1'de dolup-boşalmalı kare dalga salıngacının temel yapısı gösterilmiştir. Dikkat edilirse, işlemsel yükseltecin ters alan girişi kapasite gerilimidir ve ters almayan giriş ise R_2 ve R_3 dirençleri üzerindeki geri besleme çıkışının bir bölümüdür. Devre ilk başlatıldığında kapasite boşalır ve böylece ters alan girişteki gerilim 0V olur. Bu durum çıkışın pozitif maksimum olmasını sağlar ve kapasite R_1 üzerinden V_{out} 'a doğru dolmaya başlar. Kapasite gerilimi (V_C) ters almayan girişteki geri besleme gerilimine (V_f) eşit olduğunda işlemsel yükselteç maksimum negatif duruma geçer. Bu noktada kapasite $+V_f$ 'den $-V_f$ 'ye doğru boşalmaya başlar. Kapasite $-V_f$ gerilimine ulaştığında işlemsel yükselteç maksimum pozitif duruma geri döner. Bu olay tekrarlı olarak devam eder ve çıkışta kare dalga elde edilir.

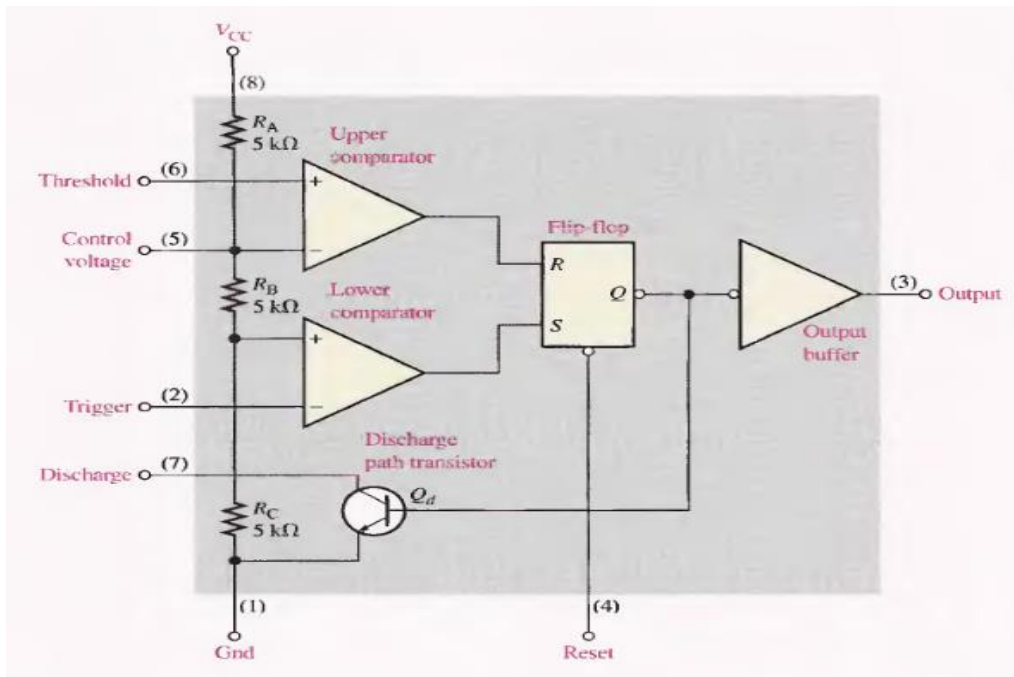


Şekil-1. Kare dalga salıngacının temel devre yapısı ve bu devrenin aldığı giriş işaretine karşılık ürettiği çıkış işareti gösterimi

7. 555 Zamanlayıcı Entegresi (555 Timer)

555 entegresi elektronik dünyasının vazgeçilmez entegrelerinden biridir. Aslında ilk bakışta o kadar da karmaşık ve büyük bir işlevi yoktur. Görevi basit gözükse de kullanım alanı çok geniştir. Bu bölümde 555 entegresinin nasıl kararsız multivibratör olarak yapılandırılacağını göreceğiz.

555 entegresi temel olarak iki karşılaştırıcıdan, bir flip-floptan, bir boşaltma transistöründen ve direnç özelliği gösteren voltaj bölücünden oluşur. Entegreye ait temel yapı şekil-2'deki gibidir. Bu yapıda flip-flop çıkışı yüksek (set, S) seviyede ya da alçak (reset, R) seviyede olmak üzere iki durum olabilen multivibratördür. Çıkış durumu uygun sinyali ile değişebilir.

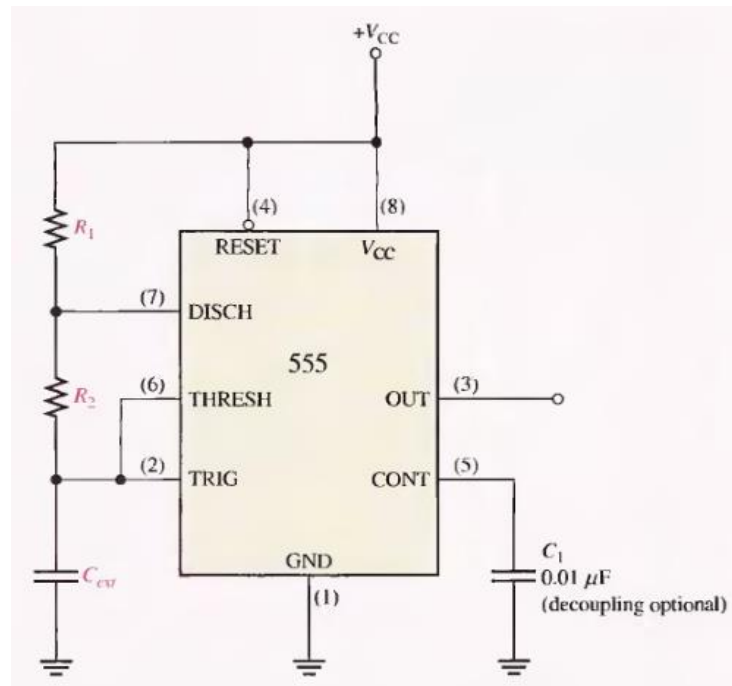


Şekil-2. 555 entegresinin iç yapısı (IC pin numaraları parantez içinde yazılmıştır.)

Direnç özelliği gösteren gerilim bölücü, gerilim karşılaştırma seviyelerini belirlemek için kullanılır. Görüldüğü üzere tüm dirençler eşit değere sahiptir. Bu yüzden yüksek karşılaştırıcı (upper comparator) $2/3 V_{CC}$, alçak karşılaştırıcı (lower comparator) ise $1/3 V_{CC}$ referans gerilimine sahip olur. Karşılaştırıcıların çıkışları flip-flopun durumunu kontrol eder. Tetikleme gerilimi $1/3 V_{CC}$ 'nin altına indiğinde flip-flop setlenir ve çıkış yüksek seviyeye atlar. Eşik girişi normalde dış RC zamanlama devresine bağlıdır. Dış kapasite gerilimi $2/3 V_{CC}$ 'yi geçtiğinde yüksek karşılaştırıcı çıkışı, alçak seviyeye geri döndürecek olan flip-flopu resetler. Cihaz çıkışı alçak olduğunda boşalma transistörü (Q_d) çalışır ve dış zamanlama kapasitesinin hızlı boşalması için yol sağlar. Bu temel işlem zamanlayıcının osilatör gibi, one-shout gibi ya da zaman-gecikme elemanı gibi dış parçalarla yapılandırılmasına olanak verir.

3.1. 555 Entegresinin Kararsız Multivibratör Davranışı

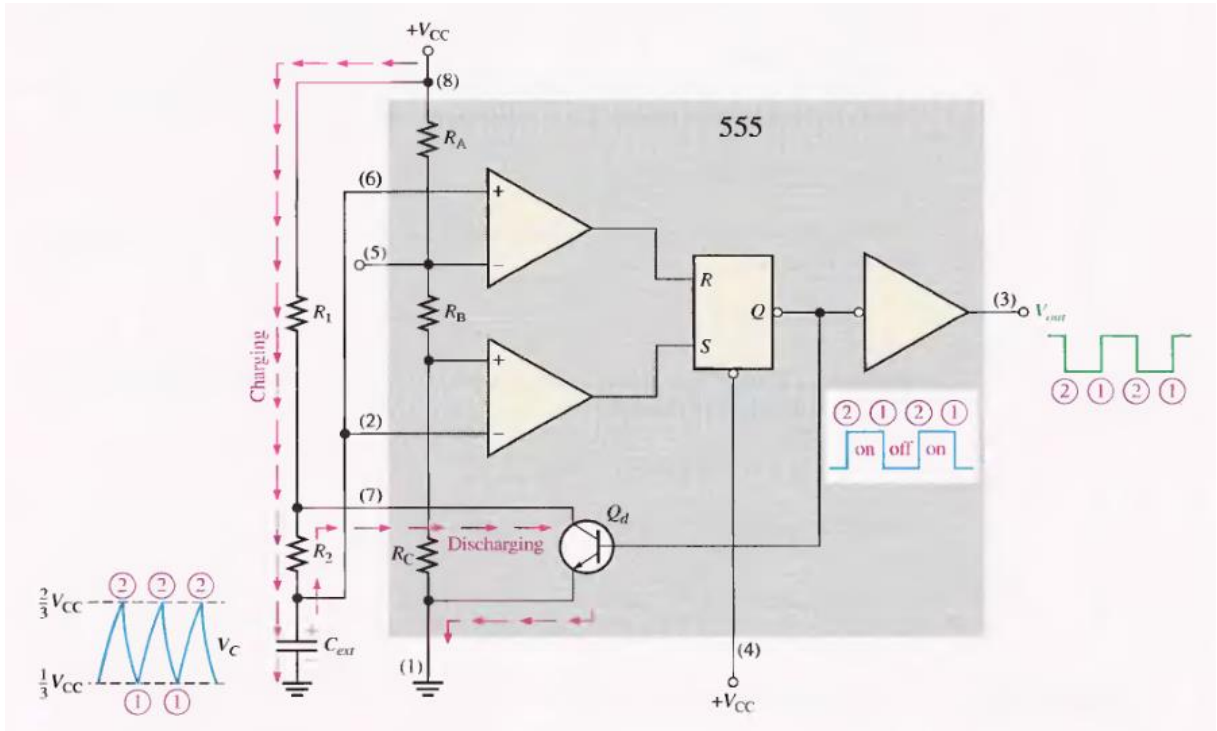
Şekil-3'te 555 entegresinin kararsız multivibratör olarak kullanılmasına dair bağlantı verilmiştir. Farkedilirse eşik girişi (THRESH) ile tetik girişi (TRIG) bağlıdır. R_1 , R_2 ve C_{ext} salınımın frekansını ayarlayan zamanlama devresini biçimlendiren dış parçalardır. Kontrol girişine (CONT) olan $0.01\mu F$ 'lık kapasite bağlantısı ayırım içindir ve operasyona etkisi yoktur.



Şekil-3. 555 entegresinin kararsız multivibratör bağlantısı

Devreye ilk güç verildiğinde, C_{ext} kapasitesi boştur ve tetik gerilimi (TRIG- Pin 2) $0V$ 'tadır. Bu durum alçak karşılaştırıcının (lower comparator) çıkışının yüksek seviyede ve yüksek karşılaştırıcı (upper comparator) çıkışının da alçak seviyede olmasına neden olur. Bu durum flip-flopun çıkışını ve bu çıkış üzerinden Q_d baz gerilimini alçak seviyede olmaya zorlar, transistörü tıkamada bırakır. Artık C_{ext} kapasitesi R_1 ve R_2 üzerinden Şekil-4'teki gibi dolmaya başlar. Kapasite gerilimi $1/3 V_{CC}$ 'ye ulaştığında alçak karşılaştırıcı alçak çıkış

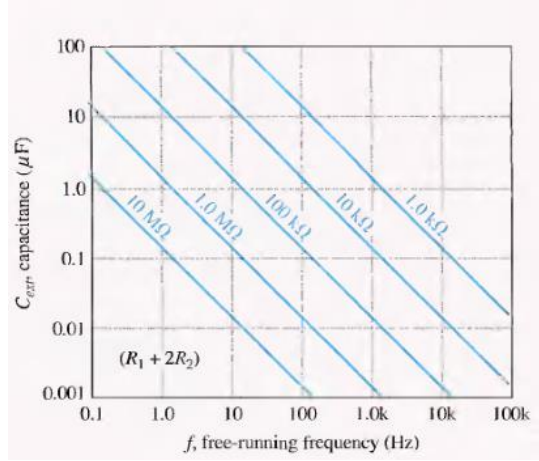
durumuna geçer. Kapasite gerilim $2/3 V_{CC}$ 'yi aştığında ise, yüksek karşılaştırıcı yüksek çıkış durumuna geçer. Bu da flip-flopu resetler ve Q_d baz geriliminin yüksek olmasına neden olur. Son olarak transistörü iletme geçirir. Bu akış kapasitenin R_2 direncinin ve transistör üzerinden boşalması için yol oluşturur. Kapasite artık yüksek karşılaştırıcının alçak seviyeye geçmesine neden olarak boşalmaya başlar. Kapasite $1/3 V_{CC}$ seviyesinin altına indiği noktada alçak karşılaştırıcı flip-flopu setleyerek yüksek seviyeye geçer. Bu durum Q_d baz gerilimini alçak seviyeye geçirerek transistörü tıkama durumuna sokar. Diğer bir dolma döngüsü başlar ve tüm işlem tekrarlanır. Sonuç olarak; çıkışta görev döngüsü R_1 ve R_2 değerlerine bağlı olan bir dikdörtgensel dalga işareti oluşur.



Şekil-4. 555 entegresinin kararsız multivibratör olarak davranışı

Şekil-5 kullanılarak elde edilen salınım frekans eşitliği aşağıda verilmiştir.

$$f_r = \frac{1.44}{(R_1 + 2R_2)C_{ext}}$$



Şekil-5. 555 entegresinin kararsız modda C_{ext} ve R_1+2R_2 'nin fonksiyonu olarak salınım frekans grafiği

R_1 ve R_2 değerleri seçilerek görev döngüsünün çıkışı değiştirilebilir. Eğer R_2 direncinin değeri R_1 'den çok büyük seçilirse, C_{ext} kapasitesi R_1+R_2 üzerinden dolduğu ve sadece R_2 üzerinden boşaldığı için dolma ve boşalma süresi yaklaşık olarak eşit olur.

C_{ext} kapasitesinin $1/3V_{CC}$ 'den $2/3V_{CC}$ 'ye kadar dolması için geçen süre (çıkışın yüksek seviyede olduğu zaman) t_H ,

$$t_H = 0.694(R_1 + R_2)C_{ext}$$

ile; C_{ext} kapasitesinin $2/3V_{CC}$ 'den $1/3V_{CC}$ 'ye kadar boşalması için geçen süre (çıkışın alçak seviyede olduğu zaman) t_L ,

$$t_L = 0.694R_2C_{ext}$$

ile ifade edilir. Dalga çıkışının periyodu (T) t_H ve t_L 'nin toplamı kadardır.

$$T = t_H + t_L = 0.694(R_1 + 2R_2)C_{ext}$$

Bu T eşitliği $1/f_r$ 'den de elde edilebilir. (frekansla periyot arasındaki ilişki kullanılarak elde edilir.)

Son olarak görev döngüsünün yüzdeler olarak ifadesi,

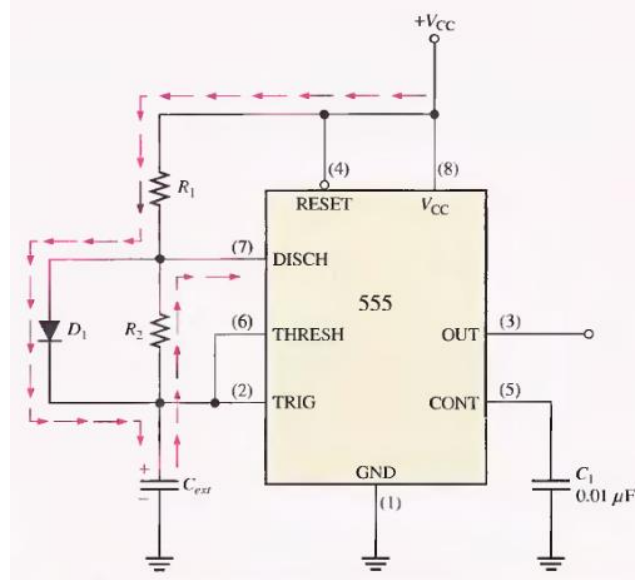
$$\text{Görev döngüsü} = \left(\frac{t_H}{T} \right) 100\% = \left(\frac{t_H}{t_H + t_L} \right) 100\%$$

olarak elde edilir. Değerler yerine yazıldığında görev döngüsünün en sade hali şu şekilde olur.

$$\text{Görev döngüsü} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\%$$

C_{ext} kapasitesinin sadece R_1 üzerinden dolması ve R_2 üzerinden boşalabilmesini sağlamak için Şekil-5 modifiye edildiğinde görev döngüsünde belirgin bir azalma meydana gelir. Şekil-6’ da görüldüğü gibi bu işlem D_1 diyotunun devreye eklenmesiyle gerçekleştirilir. R_1 direncinin değeri R_2 direncinden daha küçük olursa görev döngüsü %50’den daha az gerçekleşebilir. Bu durumda görev döngüsü yüzdesi aşağıda verildiği gibi olur.

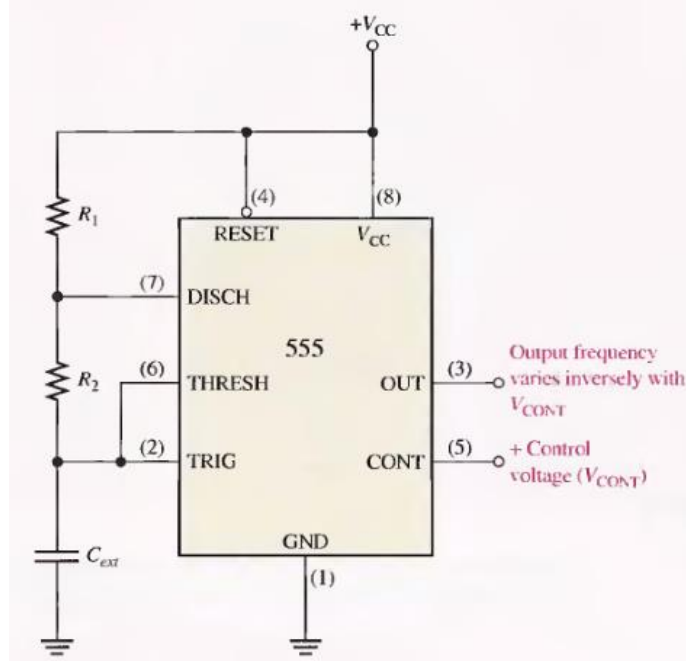
$$\text{Görev döngüsü} = \left(\frac{R_1}{R_1 + R_2} \right) 100\%$$



Şekil-6. D_1 diyotu eklenerek Şekil-5’in yeniden yapılandırılmış hali

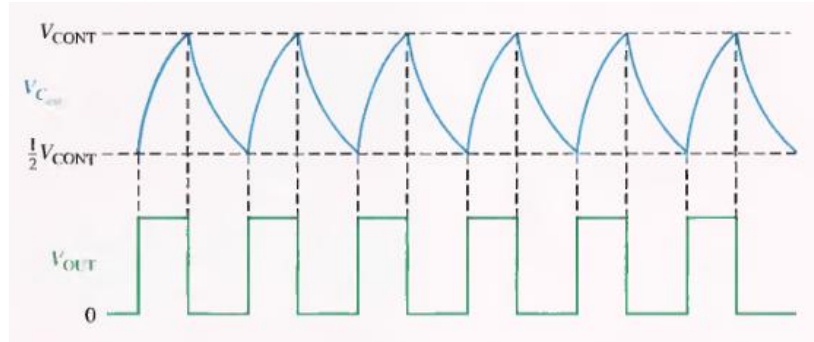
3.2. 555 Entegresinin Gerilim Kontrollü Salıngaç Davranışı

555 entegresi Şekil-7’deki gibi yapılandırıldığında gerilim kontrollü salıngaç olarak kullanılabilir. Burada değişken kontrol geriliminin CONT (Pin-5) girişine bağlanması dışında diğer tüm dış bağlantılar aynı kalır.



Şekil-7. 555 entegresinin gerilim kontrollü salıngaç (VCO) olarak bağlantısı

Şekil-8'deki gibi kontrol gerilimi (V_{CONT}) iç karşılaştırıcılar için $1/3V_{CC}$ ve $2/3V_{CC}$ eşik değerlerini değiştirir. Kontrol gerilimi ile birlikte üst değer V_{CONT} , alt değer ise $1/2V_{CONT}$ olarak belirlenmiştir. Kontrol gerilimi değiştiğinde çıkış frekansı da değişir. V_{CONT} 'daki artış dış kapasitenin dolma ve boşalma süresini artırır ve frekansının da azalmasına neden olur. V_{CONT} 'daki azalma ise kapasitenin dolma ve boşalma süresini azaltırken, frekansını da artırır.



Şekil-12. VCO çıkış frekansının değişimi

8. Deney Hazırlığı

1. Salıngaçlar hakkındaki teorik bilgilerinizi anımsayınız.
2. 555 zamanlayıcısı entegresi (555 timer) nedir? Araştırınız.
3. 555 zamanlayıcı entegresinin salıngaç uygulaması olarak nasıl kullanıldığını inceleyiniz.
4. 555 zamanlayıcı entegresinin kararsız multivibratör ve gerilim kontrollü salıngaç davranışını tartışınız.

9. Deney Tasarımı ve Uygulaması

1. Şekil1'deki kare dalga salıngaç devresini kurup, çıkış işaretini osiloskopta inceleyiniz. R_1, R_2, R_3, C_1 ?
2. 555 zamanlayıcı entegresinin kararsız multivibratör davranışını gösteren Şekil3'teki devreyi $R_1=2.2 \text{ K}\Omega$, $R_2=4.7\text{K}\Omega$, $C_1=0.01\mu\text{F}$, $C_{ext}=0.022\mu\text{F}$ değerleri alınarak kurunuz. Elde edilen çıkış işaretini osiloskopta inceleyiniz.
3. 2. uygulama için ayrıca çıkış frekansı ve görev dögüsünü hesaplayınız.
4. Aynı değerleri kullanarak Şekil7'de verilen gerilim kontrollü salıngaç devresini kurup, çıkış işaretini inceleyiniz.

10. Deney Soruları

1. 555 zamanlayıcı entegresi hangi durumlarda kararsız multivibratör olarak kullanılır?
2. 555 zamanlayıcısının görev dögüsü nasıl belirlenir?

11. Deney Raporu

4. Konu ile ilgili vurgulanan önemli noktaları ve yorumları föyden bağımsız olarak kısaca anlatınız.
5. Deney uygulamasında gerçekleştirilen devreleri adım adım açıklayınız, giriş ve çıkış işaretlerini ölçekli olarak çiziniz.
6. Deney esnasında sorulan soruları ve cevapları belirtiniz. Deney sorularını da cevaplayınız.